

T.C.
GEBZE TEKNİK ÜNİVERSİTESİ
LİSANSÜSTÜ EĞİTİM ENSTİTÜSÜ

ALÇAK GEÇİREN FİLTRELERDE PARÇACIK SÜRÜ
OPTİMİZASYONU İLE GECİKME EŞİTLEME

ÇAĞRI ÇELİK

YÜKSEK LİSANS TEZİ
ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI

DANIŞMAN: DR. ÖĞR. ÜYESİ ATILLA UYGUR

ŞUBAT 2025

T.C.
GEBZE TEKNİK ÜNİVERSİTESİ
LİSANSÜSTÜ EĞİTİM ENSTİTÜSÜ

ALÇAK GEÇİREN FİLTRELERDE PARÇACIK SÜRÜ
OPTİMİZASYONU İLE GECİKME EŞİTLEME

ÇAĞRI ÇELİK

YÜKSEK LİSANS TEZİ
ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI

DANIŞMAN: DR. ÖĞR. ÜYESİ ATILLA UYGUR

ŞUBAT 2025

T.R.
GEBZE TECHNICAL UNIVERSITY
GRADUATE SCHOOL

**DELAY EQUALIZATION WITH PARTICLE SWARM
OPTIMIZATION IN LOW-PASS FILTERS**

ÇAĞRI ÇELİK

A THESIS OF MASTER OF SCIENCE
DEPARTMENT OF ELECTRONICS ENGINEERING

ADVISOR: ASST. PROF. ATILLA UYGUR

FEBRUARY 2025

YÜKSEK LİSANS JÜRİ ONAY FORMU

GTÜ Lisansüstü Eğitim Enstitüsü Yönetim Kurulunun 03/02/2025 tarih ve 2025/08 sayılı kararıyla oluşturulan jüri tarafından 18/02/2025 tarihinde tez savunma sınavı yapılan Çağrı ÇELİK'in tez çalışması Elektronik Mühendisliği Anabilim Dalında YÜKSEK LİSANS tezi olarak kabul edilmiştir.

JÜRİ

ÜYE

(TEZ DANIŞMANI) : Dr. Öğr. Üyesi Atilla UYGUR

ÜYE

: Dr. Öğr. Üyesi Sinem KELEŞ

ÜYE

: Doç. Dr. Engin AFACAN

ONAY

Gebze Teknik Üniversitesi Lisansüstü Eğitim Enstitüsü Yönetim Kurulunun

...../...../..... tarih ve/..... sayılı kararı.

İMZA/MÜHÜR

*Aileme,
biricik eşime
ve oğluma*

ÖZET

Sinyal işleme, haberleşme, kontrol sistemleri gibi pek çok alanda elektronik filtreler kullanılır. Elektronik filtrelerin sahip olması gereken özelliklerden birisi de iletim bandında düzgün bir gecikme değeridir. İdeal durumda filtrelerin iletim bandında sabit bir gecikme değerine sahip olması gerekir. Bu tez çalışmasında analog filtreler için gecikme eşitleyici tasarımı yapılmaktadır. Gecikme eşitleme işleminde birinci ve ikinci derece tüm-geçiren filtre blokları kullanılmaktadır. Tüm-geçiren filtre bloklarının tasarım parametreleri hesaplanırken Parçacık Sürü Optimizasyonu algoritması kullanılmaktadır. İlk olarak, iletim bandındaki maksimum zayıflama değeri olan $\alpha_{\max} = 0.5$ dB, durdurma bandındaki minimum zayıflama değeri olan $\alpha_{\min} = 20$ dB, durdurma bandının başlangıç frekansının iletim bandı bitiş frekansına oranı olan $(\omega_s / \omega_p) = 2$ ve kesim frekansı ω_p 10 kHz değerlerini sağlayacak şekilde alçak geçiren filtre Butterworth, Chebyshev ve Cauer olmak üzere 3 farklı yaklaşıklık kullanılarak tasarlanmaktadır. Butterworth yaklaşıklığı için 5. derece, Chebyshev yaklaşıklığı için 4. derece ve Cauer yaklaşıklığı için 3. derece filtre ile bu tasarım gereksinimleri sağlanabilmektedir. Bu filtreler için frekans analizi LTspice programı kullanılarak yapılmakta ve ilk durumda alçak geçiren filtrelerin gecikme değerleri elde edilmektedir. Elde edilen gecikme değerleri, PSO algoritması kullanılarak Python yazılım dilinde yazılan programa girdi olarak verilmekte, tasarlanması gereken gecikme eşitleyicideki tüm-geçiren blok sayısı ve bu blokların tasarım parametreleri program üzerinden hesaplanmaktadır. Hesaplanan tasarım parametreleri kullanılarak 7 farklı topoloji için tüm-geçiren filtre blokları aracılığıyla gecikme eşitleyiciler tasarlanmaktadır. Benzetim sonuçları kısmında her bir yaklaşıklık için tasarlanan gecikme eşitleyicilerin frekans analizleri LTspice programı kullanılarak yapılmıştır. Her bir devre için gecikme eşitleme işlemi öncesi ve sonrasında özellikle gecikme dalgalanması değerleri üzerinde durulmuştur. Butterworth yaklaşıklığına ait sayısal veriler incelendiğinde, küçük farklılıklar olmakla birlikte, Sallen-Key topolojisi dışındaki 6 devre topolojisiyle gerçekleştirilen gecikme eşitleme işlemi sonucunda gecikme dalgalanmasının yaklaşık %65 oranında azaldığı gözlemlenmiştir. Sallen-Key topolojisinde ise bu azalma oranı yaklaşık %60 seviyesindedir. Chebyshev yaklaşıklığına ilişkin veriler incelendiğinde, Sallen-Key topolojisinde gecikme dalgalanmasının yaklaşık %53, diğer 6 devre topolojisinde ise yaklaşık %64 oranında azaldığı görülmektedir. Cauer yaklaşıklığına ait veriler incelendiğinde, Sallen-Key topolojisinde gecikme dalgalanması yaklaşık %66 oranında, MFBP topolojisinde %72 oranında, diğer 5 devre topolojisinde ise yaklaşık %86 oranında azaltılmıştır. Bu sonuçlar tasarlanan algoritmanın analog filtrelerin gecikme eşitleme işleminde başarılı olduğunu göstermektedir.

Anahtar Kelimeler: Analog Filtrelerde Optimizasyon, Gecikme Eşitleme, Parçacık Sürü Optimizasyonu

ABSTRACT

Electronic filters are widely used in various fields, including signal processing, communication, and control systems. One of the essential characteristics that electronic filters should possess is a stable delay value within the passband. Ideally, filters should have a constant delay value within the passband. This thesis focuses on the design of delay equalizers for analog filters. In the delay equalization process, first- and second-order allpass filter blocks are utilized. The design parameters of the allpass filter blocks are calculated using the Particle Swarm Optimization (PSO) algorithm. Initially, a low-pass filter is designed to meet the specifications of a maximum attenuation in the passband of $\alpha_{\max} = 0.5$ dB, a minimum attenuation in the stopband of $\alpha_{\min} = 20$ dB, a stopband-to-passband frequency ratio of $(\omega_s / \omega_p) = 2$, and a cutoff frequency of $\omega_p = 10$ kHz. This design is implemented using three different approximation methods: Butterworth, Chebyshev, and Cauer. The specified design requirements are achieved with a 5th-order filter for the Butterworth approximation, a 4th-order filter for the Chebyshev approximation, and a 3rd-order filter for the Cauer approximation. Frequency analysis for these filters is conducted using the LTspice software, and the initial delay values of the low-pass filters are obtained. The obtained delay values are then input into a program written in Python, utilizing the PSO algorithm. The program computes the number of allpass filter blocks required for the delay equalizer and determines their design parameters. Based on these calculated design parameters, delay equalizers are designed for seven different topologies using allpass filter blocks. In the simulation results section, frequency analyses of the delay equalizers designed for each approximation are performed using the LTspice software. The focus is primarily on the delay ripple values before and after the delay equalization process for each circuit. An analysis of the numerical data for the Butterworth approximation reveals that, despite minor variations, the delay ripple is reduced by approximately 65% for six circuit topologies other than the Sallen-Key topology. For the Sallen-Key topology, this reduction is approximately 60%. For the Chebyshev approximation, the delay ripple is reduced by approximately 53% for the Sallen-Key topology and around 64% for the other six circuit topologies. For the Cauer approximation, the delay ripple reduction is approximately 66% for the Sallen-Key topology, 72% for the MFBP topology, and around 86% for the other five circuit topologies. These results demonstrate the effectiveness of the designed algorithm in achieving delay equalization for analog filters.

Keywords: Optimization Of Analog Filters, Delay Equalization, Particle Swarm Optimization

TEŞEKKÜR

Yüksek lisans eğitimim boyunca bana rehberlik eden, bilgi ve tecrübelerini benimle paylaşan ve bu süreçte her konuda desteğini hissettiren danışman hocam Dr. Öğr. Üyesi Atilla UYGUR'a teşekkürlerimi sunarım.

Çalışma sürecinde bana sağladıkları katkılar ve önerilerle desteklerini her an hissettiğim arkadaşlarım, beni motive eden mesai arkadaşlarım ve amirlerim ile bu süreçte fazlaca emeği geçen değerli dostum Aytul BAĞLIOĞLU'na teşekkür ederim.

Tez çalışmam süresince sabırla beni destekleyen ve motivasyonumu artıran aileme, kıymetli eşime ve varlığıyla bana güç veren, yakında dünyaya gelecek sevgili oğluma teşekkürü borç bilirim.

İÇİNDEKİLER

	<u>Sayfa</u>
ÖZET	vi
ABSTRACT	vii
TEŞEKKÜR	viii
İÇİNDEKİLER	ix
SİMGELER ve KISALTMALAR DİZİNİ	x
ŞEKİLLER DİZİNİ	xi
TABLOLAR DİZİNİ	xiii
1. GİRİŞ	1
1.1. Tez Kapsamı	8
2. FİLTRELERDE GECİKME EŞİTLEME	9
2.1. İdeal Gecikme	9
2.2. Birinci ve İkinci Derece Gecikme Eşitleyiciler	10
2.2.1. Birinci Derece Eşitleyici	11
2.2.2. İkinci Derece Eşitleyici	12
2.2.3. Gerilim İzleyici (Buffer)	20
3. PARÇACIK SÜRÜ OPTİMİZASYONU (PSO)	21
3.1. PSO Algoritmasında Hız ve Konum Güncelleme	21
3.2. PSO Algoritması ile Gecikme Eşitleme	24
4. BENZETİM SONUÇLARI	27
4.1. Tasarım Parametrelerinin Elde Edilmesi	27
4.2. Benzetim Grafikleri	28
4.2.1. Butterworth Alçak Geçiren Filtre İçin Grafikler	29
4.2.2. Chebyshev Alçak Geçiren Filtre İçin Grafikler	33
4.2.3. Cauer Alçak Geçiren Filtre İçin Grafikler	37
5. SONUÇLAR	48
KAYNAKLAR	50
ÖZ GEÇMİŞ	53
TEZ ÇALIŞMASI KAPSAMINDA YAPILAN YAYINLAR	54

SİMGELER ve KISALTMALAR DİZİNİ

PSO	: Parçacık Sürü Optimizasyonu
GA	: Genetik Algoritmalar
RG-GA	: Kural Yönlendirmeli-Genetik Algoritmalar
HICuS	: Hibrit Yoğunlaştırılmış Akım Arama
ACO	: Karınca Koloni Optimizasyonu
BA-ACO	: Geri İzlemeli Karınca Koloni Optimizasyonu
dB	: Desibel
Q	: Kalite faktörü
R	: Direnç
C	: Kapasitör
GIC	: Genel Empedans Dönüştürücü
DABP	: İki Yükselteçli Bant Geçiş Topolojisi
MFBP	: Çoklu Geri Beslemeli Bant Geçiş Topolojisi
C_1	: Bilişsel Katsayı parametresi
C_2	: Sosyal Katsayı parametresi
p_{best}	: Parçacık En İyi Konumu
g_{best}	: Sürü En İyi Konumu
w	: Eylemsizlik Katsayısı
v_n	: Parçacık Hızı
x_n	: Parçacık Konumu
ΔD	: Gecikme Dalgalanması
kHz	: Kiloherertz
μs	: Mikrosaniye
ω	: Frekans
ω_0	: Kutup frekansı
α_{max}	: İletim bandındaki maksimum zayıflama
α_0	: Tüm-geçiren filtre tasarım parametresi
α_{min}	: Durdurma bandındaki minimum zayıflama
ω_s	: Durdurma bandının başladığı frekans değeri
ω_p	: İletim bandının sonlandığı frekans değeri
T_d	: Filtre grup gecikmesi

ŞEKİLLER DİZİNİ

	<u>Sayfa</u>
Şekil 1.1: Alçak geçiren filtre frekans analizi grafiği.	1
Şekil 1.2: Temel filtre yapılarının frekans analizi grafikleri.	2
Şekil 1.3: Gecikme eşitleme işlemi örneği.	4
Şekil 2.1: İdeal gecikme formu (Schaumann vd., 2001).	9
Şekil 2.2: Filtre ve gecikme eşitleyicinin kaskad bağlantısı (Schaumann vd., 2001).	10
Şekil 2.3: Birinci derece aktif tüm-geçiren filtre.	12
Şekil 2.4: GIC ikinci derece aktif tüm-geçiren filtre.	13
Şekil 2.5: Ackerberg-Mossberg ikinci derece aktif tüm-geçiren filtre.	14
Şekil 2.6: Tow Thomas ikinci derece aktif tüm-geçiren filtre.	15
Şekil 2.7: DABP ikinci derece aktif tüm-geçiren filtre.	16
Şekil 2.8: Biquad tabanlı Sallen-Key ikinci derece aktif tüm-geçiren filtre.	17
Şekil 2.9: MFBP ikinci derece aktif tüm-geçiren filtre.	18
Şekil 2.10: Sallen-Key ikinci derece aktif tüm-geçiren filtre.	19
Şekil 2.11: Gerilim izleyici yükselteç devresi.	20
Şekil 3.1: PSO algoritmasında parçacık konumlarının güncellenmesi.	23
Şekil 3.2: PSO algoritması için maliyet fonksiyonu.	25
Şekil 3.3: PSO algoritması akış şeması.	26
Şekil 4.1: Üç farklı yaklaşıklık ile tasarlanan alçak geçiren filtrelerin grup gecikmesi.	28
Şekil 4.2: Butterworth yaklaşıklığı için Ackerberg-Mosberg tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.	29
Şekil 4.3: Butterworth yaklaşıklığı için Tow Thomas tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.	30
Şekil 4.4: Butterworth yaklaşıklığı için DABP tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.	30
Şekil 4.5: Butterworth yaklaşıklığı için MFBP tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.	31
Şekil 4.6: Butterworth yaklaşıklığı için Sallen-Key tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.	31
Şekil 4.7: Butterworth yaklaşıklığı için Biquad Tabanlı Sallen-Key tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.	32
Şekil 4.8: Butterworth yaklaşıklığı için GIC tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.	32
Şekil 4.9: Chebyshev yaklaşıklığı için Ackerberg-Mossberg tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.	33
Şekil 4.10: Chebyshev yaklaşıklığı için Biquad Tabanlı Sallen-Key tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.	34
Şekil 4.11: Chebyshev yaklaşıklığı için Tow Thomas tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.	34
Şekil 4.12: Chebyshev yaklaşıklığı için DABP tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.	35
Şekil 4.13: Chebyshev yaklaşıklığı için GIC tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.	35
Şekil 4.14: Chebyshev yaklaşıklığı için MFBP tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.	36

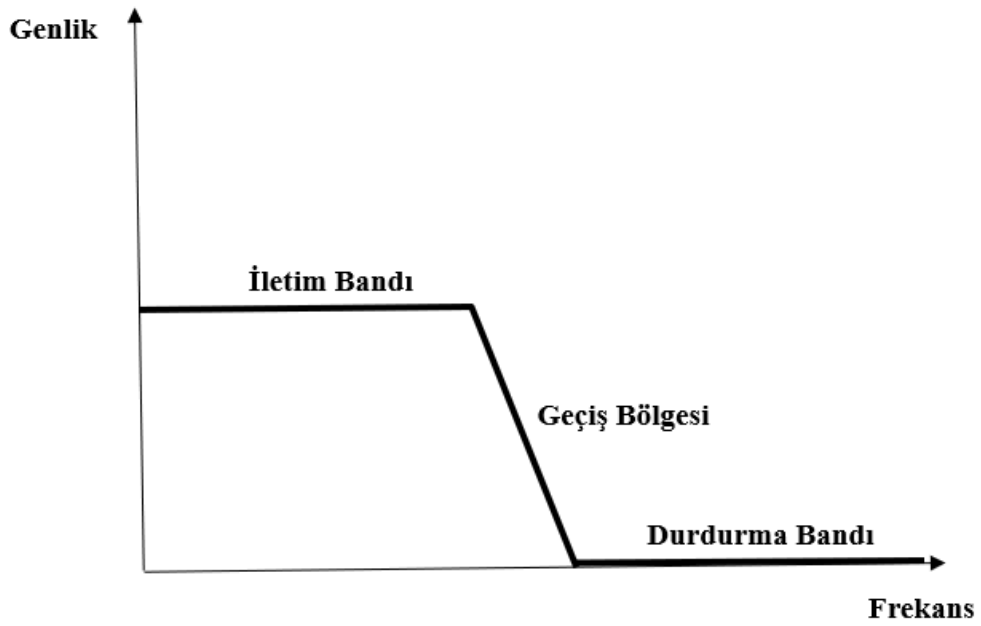
Şekil 4.15: Chebyshev yaklaşıklığı için Sallen-Key tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.	36
Şekil 4.16: Cauer yaklaşıklığı için Ackerberg-Mossberg tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.	37
Şekil 4.17: Cauer yaklaşıklığı için Biquad Tabanlı Sallen-Key tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.	38
Şekil 4.18: Cauer yaklaşıklığı için DABP tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.	38
Şekil 4.19: Cauer yaklaşıklığı için Tow Thomas tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.	39
Şekil 4.20: Cauer yaklaşıklığı için GIC tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.	39
Şekil 4.21: Cauer yaklaşıklığı için MFBP tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.	40
Şekil 4.22: Cauer yaklaşıklığı için Sallen-Key tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.	40
Şekil 4.23: Butterworth 5. derece alçak geçiren filtre zaman alanı analizi.	41
Şekil 4.24: Chebyshev 4. derece alçak geçiren filtre zaman alanı analizi.	42
Şekil 4.25: Cauer 3. derece alçak geçiren filtre zaman alanı analizi.	42
Şekil 4.26: Butterworth 5. derece alçak geçiren filtre için GIC topolojisiyle tasarlanan gecikme eşitleyici devre yapısı.	43
Şekil 4.27: Chebyshev 4. derece alçak geçiren filtre için GIC topolojisiyle tasarlanan gecikme eşitleyici devre yapısı.	43
Şekil 4.28: Cauer 3. derece alçak geçiren filtre için GIC topolojisiyle tasarlanan gecikme eşitleyici devre yapısı.	44

TABLÖLAR DİZİNİ

	<u>Sayfa</u>
Tablo 4.1: Optimizasyon ile elde edilen tasarım parametreleri.	27
Tablo 4.2: Butterworth alçak geçiren devre için elde edilen frekans analizi verileri.	45
Tablo 4.3: Chebyshev alçak geçiren devre için elde edilen frekans analizi verileri.	46
Tablo 4.4: Cauer alçak geçiren devre için elde edilen frekans analizi verileri.	47

1. GİRİŞ

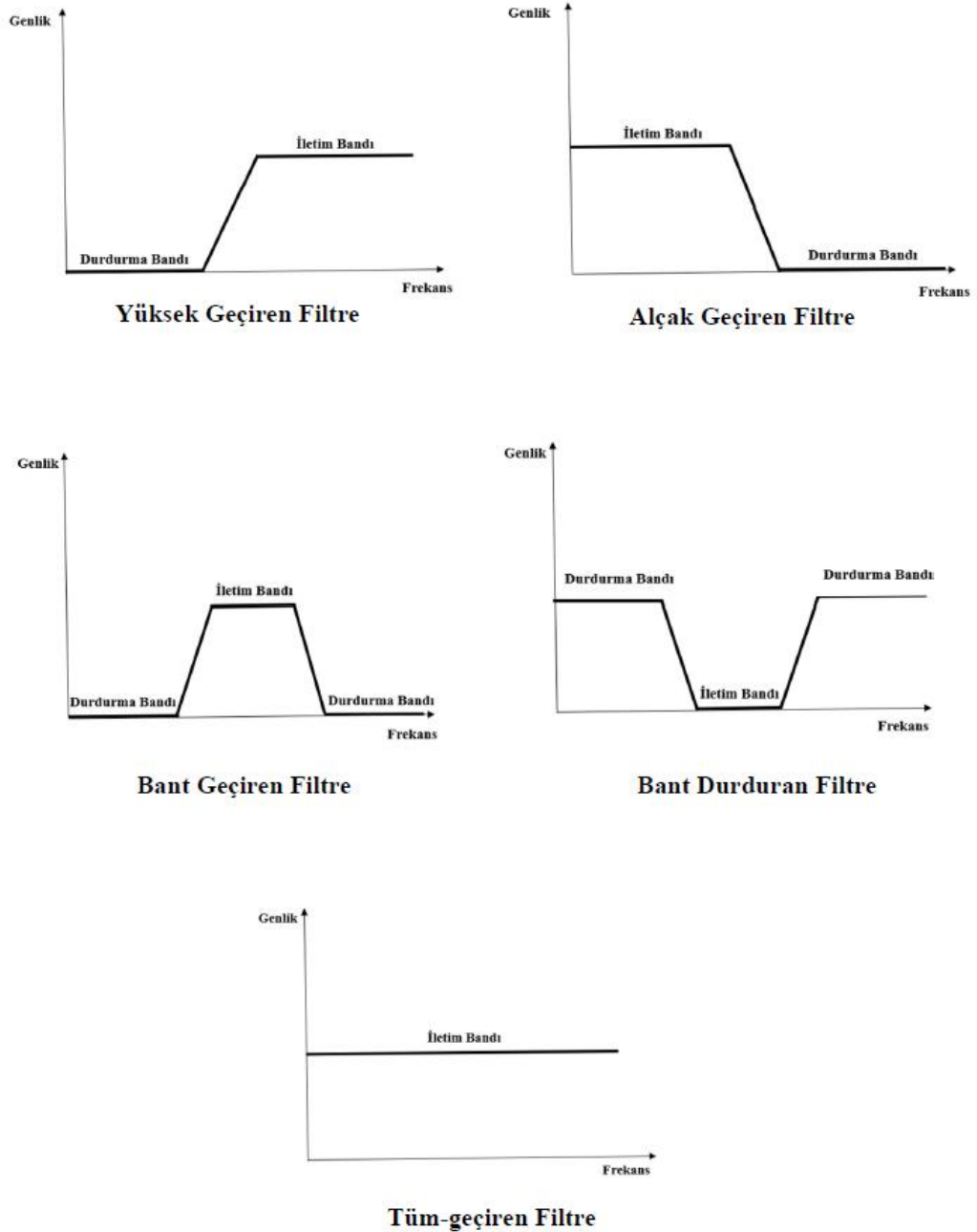
Elektronik filtreler istenilen frekans aralığındaki sinyalleri geçirirken, istenilmeyen frekans aralığındaki sinyalleri bastıran elektronik devrelerdir. Filtreden, herhangi bir değişime uğramadan geçmesine izin verilen sinyalin frekans aralığına iletim bandı, iletim bandının bittiği noktaya kesim frekansı adı verilir. Filtreden geçmesine izin verilmeyen sinyalin frekans aralığına durdurma bandı adı verilir. Durdurma bandı ile iletim bandı arasında bir geçiş bölgesi bulunur. **Şekil 1.1**'de örnek bir alçak geçiren filtrenin grafiği verilmektedir.



Şekil 1.1: Alçak geçiren filtre frekans analizi grafiği.

Filtreler frekans yanıtlarına göre; alçak geçiren, yüksek geçiren, bant geçiren, bant durduran, tüm-geçiren olmak üzere 5'e ayrılırlar. Alçak geçiren filtreler düşük frekanstaki sinyalleri iletir, yüksek frekanstaki sinyalleri bastırırlar. Yüksek geçiren filtreler ise alçak geçiren filtrelerin çalışma mantığına ters olarak yüksek frekanstaki sinyalleri iletirler, alçak frekanstaki sinyalleri ise bastırırlar. Bant geçiren filtreler

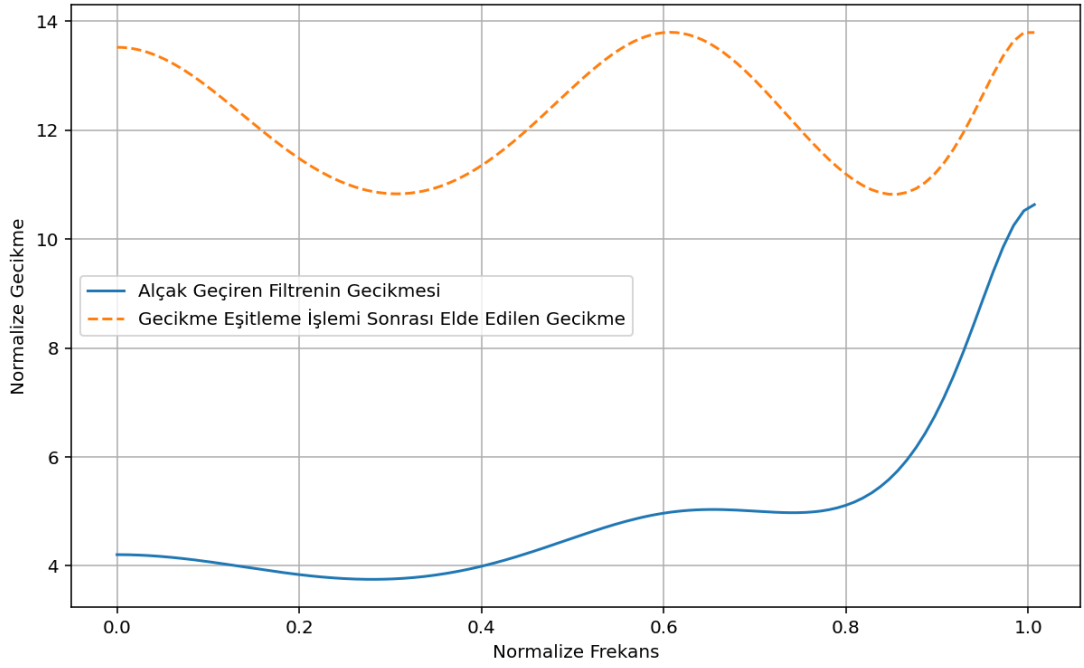
belirli bir frekans aralığındaki sinyalleri iletirken diğer frekanslardaki sinyalleri bastırırlar. Bant durduran filtreler ise belirli bir frekans aralığındaki sinyalleri bastırırken diğer frekanslardaki sinyalleri geçirirler. Tüm-geçiren filtreler ise tüm frekanslardaki sinyalleri genliklerinde herhangi bir değişime uğratmadan sadece fazlarını değiştirerek çıkışa aktaran devrelerdir (Sedra & Smith, 1987). **Şekil 1.2**'de 5 temel filtrenin frekans analizi grafikleri verilmektedir.



Şekil 1.2: Temel filtre yapılarının frekans analizi grafikleri.

İşlenecek sinyalin özelliklerine göre filtreler analog ve dijital olarak tasarlanabilirler. Dijital filtreler ayrık zamanlı sinyallerin işlenmesinde kullanılırken, sürekli zamanlı sinyallerin işlenmesinde analog filtreler kullanılır. Sürekli zamanlı sinyallerin işlenmesinde kullanılan analog filtreler, tasarımda kullanılan elemanlara göre aktif ve pasif olmak üzere ikiye ayrılır. Pasif filtreler, direnç, indüktör ve kapasitör gibi pasif devre elemanlarından oluşur. Pasif filtreler herhangi bir harici enerji kaynağına ihtiyaç duymazlar. Girişe uygulanan sinyalin enerjisi pasif filtrelerin çalışması için yeterli olur. Düşük maliyetli, basit tasarımı ve kararlı yapıya sahip olmaları pasif filtrelerin avantajlarından. Ancak aktif elemana sahip olmadıkları için kazanç sağlamazlar. Bu nedenle zayıf sinyallerle çalışmaya elverişli değildir. Aktif filtreler, işlemsel yükselteç gibi aktif devre elemanları kullanılarak tasarlanırlar. Bu aktif elemanlar sayesinde aktif filtreler; genlik kazancı sağlayabilme, daha esnek tasarım imkanı ve genellikle daha iyi frekans yanıtı gibi avantajlara sahiptir. Öte yandan aktif filtreler harici bir enerji kaynağına ihtiyaç duyarlar ve pasif filtrelere göre daha maliyetlidirler. Yapılarında indüktör içermemeleri tümleşik devre tasarımında aktif filtrelerin tercih edilmesini sağlar (Winder, 2002). Aktif filtrelerde kullanılan işlemsel yükselteçler yüksek giriş empedansı ve düşük çıkış empedansına sahip oldukları için devrenin giriş ve çıkışına bağlanan elemanlardan etkilenmezler. Dolayısıyla kaskad tasarıma uygundur. Ancak tasarım yapılırken, kullanılan işlemsel yükselteçlerin bant genişliği dikkate alınarak sistemin gerektirdiği frekans aralığında filtrenin düzgün çalışması sağlanmalıdır.

Günümüzde analog filtreler farklı alanlarda sıklıkla kullanılmaktadır. Radyo, televizyon gibi günlük hayatta kullanılan cihazlar, sinyal üretici ve spektrum analizörü gibi laboratuvar cihazları, elektronik cihazların besleme iletkenlerindeki elektromanyetik girişimin önlenmesi gibi alanlar örnek olarak verilebilir. Bu alanlarda kullanılan analog filtrelerle ilgili literatürde birçok çalışma bulunmaktadır. Bu çalışmalar analog filtre tasarımında karşılaşılan problemlere yeni ve akılcı çözümler üretmeye odaklanmaktadır. Elektronik filtreler sinyal işleme esnasında belirli miktar gecikmeye sebep olurlar. Bu tamamen doğaldır. Önemli olan nokta bu gecikme değerlerinin iletim bandı boyunca sabit değerde olmasıdır. Bölüm 2’de bu konu detaylıca ele alınacaktır. Gecikme eşitleme işlemi için tüm-geçiren filtre blokları kullanılmaktadır. Bölüm 2.2’ de gecikme eşitleyiciler detaylı olarak ele alınmaktadır.



Şekil 1.3: Gecikme eşitleme işlemi örneği.

Şekil 1.3' te örnek bir gecikme eşitleme işlemi verilmektedir. Verilen örnekte 3 kHz kesim frekansına sahip, iletim bandında 0.5 dB izin verilen dalgalanma değeri olan 5. derece Chebyshev alçak geçiren filtrenin gecikme eşitleme işleminden önce ve sonraki durumda frekans analizini içeren grafik görülmektedir. Başlangıç durumunda iletim bandı içerisinde en büyük ve en küçük gecikme değerleri arasındaki fark fazla iken, sisteme tüm-geçiren filtre blokları aracılığıyla ek gecikme eklenerek daha durağan bir gecikme dalgalanması elde edilmektedir. Bu işlenen sinyalin bozulmaması, filtreden çıktıktan sonra da anlamlı bir veri olarak kullanılabilmesi için gerekli bir durumdur.

Butterworth filtre yaklaşıklığı temelleri 20. yüzyılın başlarına dayanmaktadır. Butterworth filtre yapısı iletim bandında maksimum oranda düz bir frekans cevabı sunar (Butterworth, 1930). Chebyshev filtre yapısı ise iletim bandında dalgalanmaları olan ancak Butterworth filtre yapısına göre iletim bandından kesim bandına daha sert bir geçiş yapan bir yaklaşıklıktır. Temeli 19. yüzyılda geliştirilen matematiksel teoremlerin mühendislik uygulamalarına aktarılmasına dayanır (Chebyshev, 1890). Sonraki dönemlerde Chebyshev polinomları elektrik devreleri ve sinyal işleme alanında kullanılmıştır. Chebyshev polinomları düşük kayıplı filtre tasarımları yapmak için kullanılmıştır. Wilhelm Cauer, çalışmalarında filtre teorisi üzerine yoğunlaşmış ve eliptik filtreler yada Cauer filtreleri olarak bilinen topolojiyi literatüre

kazandırmıştır (Cauer, 1932). Filtreler üzerine yapılan çalışmalar arttıkça farklı sorunlara çözüm getirme arayışı da meydana gelmiştir. Filtrelerin gecikmelerini eşitleme çalışmaları 20. yüzyılın başlarında ele alınmaya başlamıştır (Zobel, 1928). Gecikme eşitleme işleminde tüm-geçiren bloklar kullanılmaktadır. 21. yüzyılda yapılan çalışmalara odaklanıldığında, filtrelerin grup gecikmelerini eşitlemek için iteratif yöntemler kullanılmıştır. Vrbata ve arkadaşları gecikme eşitleyici tasarımı yaparken tüm-geçiren bloklar kullanmışlar ve tasarım parametrelerini iteratif yöntemlerle elde etmişleridir (Vrbata vd., 2002). Literatürdeki gelişmeler iteratif yöntemler yerine çeşitli optimizasyon yöntemlerinin tercih edildiğini göstermektedir. Zaplatilek ve arkadaşları analog filtreler için grup gecikmesi eşitleyici tasarlarken optimizasyon kullanmışlardır. Diferansiyel evrim algoritması kullanılarak tüm-geçiren blokların tasarım parametrelerini hesaplanmış ve gecikme eşitleme işlemi sonucunda %40.34 oranında başarı elde edilmiştir (Zaplatilek vd., 2007). Zhao ve arkadaşları gecikme eşitleyici tasarımında MATLAB üzerinde geliştirilen matematiksel bir model kullanmış ve genetik algoritmalar aracılığıyla optimizasyon yapmışlardır (Zhao vd., 2010). Literatürde farklı optimizasyon yöntemlerini bir arada kullanan çalışmalar da mevcuttur. Diferansiyel evrim algoritması ile modifiye edilmiş Remez algoritması bir arada kullanılarak iletim bandında eş dalgalanmalı durağan bir frekans cevabı elde edilmiştir. Bunun için önce diferansiyel evrim algoritması ile gecikme eşitleyici parametreleri elde edilmekte ve sonrasında modifiye edilmiş Remez algoritması ile iletim bandında daha durağan bir frekans cevabı elde edilmektedir (Ziska & Vrbata, 2006). Devam eden yıllarda farklı optimizasyon algoritmaları gecikme eşitleyici tasarımında kullanılmıştır. Girdap arama algoritması ile gerçekleştirilen gecikme eşitleme uygulamasında grup gecikmesi %40.3 oranında azaltılmıştır (Doğan & Yüksel, 2015). Başka bir çalışmada metasezgisel algoritmalar kullanılarak farklı derece Chebyshev filtrelerin gecikme eşitlemesi yapılmış ve dört farklı algoritma için başarı oranları karşılaştırılmıştır (Kuyu & Vatansever, 2018). Gecikme eşitleme işleminin yanı sıra elektronik devre tasarımı uygulamalarında da optimizasyon algoritmaları kullanılmaktadır. Genetik algoritmalar, diferansiyel evrim algoritması, parçacık sürü optimizasyon algoritması, karınca koloni algoritması gibi çeşitli algoritmalar kullanılarak elektronik devre tasarımı yapılmakta, örnek tasarımlar sonucu PSO'nun daha başarılı sonuçlar verdiği belirtilmektedir (Kuyu, 2016). Literatürde analog filtreler üzerine yapılan çalışmalarda optimizasyon yöntemlerinin kullanılması sıklıkla karşılaşılan bir durumdur. Ismail ve Bachir yaptıkları çalışmada

ikinci derece alçak geçiren filtre tasarımı yaparken devre elemanlarının standart değerlerinin belirlenmesinde genetik algoritmalar (GA) ile optimizasyon yapmışlardır. Çalışmada, E192 serisinden seçilen elemanlarla yapılan tasarım ile en başarılı sonucun elde edildiği belirtilmektedir. (Ismail & Bachir, 2024). Benzer bir çalışmada, filtre tasarımı yapılırken endüstriyel serilerden bileşen seçimi yapılması aşamasında parçacık sürü optimizasyonu (PSO) kullanılmaktadır. Optimizasyon aşamasında parçacık hızlarının iterasyona göre uyarlanabilir şekilde değişmesini sağlayan iki yeni parametre kullanımı ile optimizasyon yöntemi modifiye edilmiştir. Tasarlanan filtrenin kesim frekansındaki sapma değeri referans alınarak; farklı optimizasyon yöntemlerinin başarı oranları karşılaştırıldığında PSO algoritmasının daha başarılı olduğu belirtilmektedir (Kund vd., 2024). Analog ve dijital filtrelerin optimal tasarımı için karınca koloni optimizasyonu (ACO) ve genetik algoritmalar (GA) kullanılarak optimizasyon yapıldığında, ACO algoritmasının daha yüksek doğruluk oranı sunduğu ancak GA algoritmasına kıyasla daha yavaş hesaplama süresi performansına sahip olduğu belirtilmektedir (Asmae vd., 2020). Bir başka çalışmada, analog filtre tasarımında klasik yöntemlere alternatif olarak karınca koloni optimizasyonu (ACO) algoritması kullanılmaktadır. Alçak geçiren filtre tasarımı için ACO'nun bileşen değerlerini optimize etmedeki performansı incelenmektedir. Çalışmada Cauer topolojisi kullanılarak tasarlanan alçak geçiren filtrede, ACO'nun diğer metasezgisel algoritmalarla kıyasla daha başarılı olduğu belirtilmektedir (Wen-guan Wang vd., 2012). Chebyshev yaklaşıklığı kullanılarak filtre tasarımı yapılırken filtre derecelerinin tam sayı yerine kesirli sayı olarak ele alınmasına odaklanan çalışmada; genetik algoritmalar (GA) faydalanarak optimizasyon yapılmaktadır. Literatürde bulunan başka bir çalışma ile karşılaştırıldığında yeni önerilen yöntemin iletim bandı ve durdurma bandındaki sapmaları da minimize ederek daha başarılı sonuçlar verdiği belirtilmektedir (He & Hu, 2022). Başka bir çalışmada, geleneksel genetik algoritmalar (GA) dayalı olarak geliştirilen kural-yönlendirmeli genetik algoritma (RG-GA) optimizasyon algoritması kullanılmaktadır. Önerilen algoritma, rastgele mutasyonlardan ziyade yönlendirilmiş mutasyonları kullanarak optimizasyon sürecini hızlandırmayı amaçlamaktadır. Analog devre tasarımında RG-GA algoritması kullanılarak geleneksel yöntemle göre daha hızlı tasarım süreci elde edildiği belirtilmektedir (Zhou vd., 2022). Butterworth yaklaşıklığı kullanılarak 4. derece alçak geçiren filtre tasarımında; hibrit yoğunlaştırılmış akım arama (HICuS) algoritması kullanılarak optimizasyon yapıldığında, diğer optimizasyon yöntemlerine kıyasla daha

başarılı sonuçlar elde edildiği belirtilmektedir. HICuS algoritmasının, arama alanını başlangıçta geniş tutup sonrasında daraltmasının çözüm alanını optimize ettiği belirtilmektedir. MATLAB kullanılarak yapılan testlerde HICuS algoritmasının diğer algoritmalarla kıyasla hızlı bir yakınsama ve daha az arama süresi sağladığı gösterilmektedir (Romsai vd., 2022). Benhala çalışmasında, klasik karınca koloni optimizasyonu (ACO) algoritmasının geliştirilmiş bir versiyonu olan geri izlemeli karınca koloni optimizasyonu (BA-ACO) algoritmasını kullanmaktadır. Önerilen yöntem ile 4. derece alçak geçiren Butterworth filtresinin tasarımı ele alınmaktadır. Optimize edilmiş bileşen değerlerini belirlemek için E12, E24, E48, E96 ve E192 bileşen serilerinden seçim yapılması otonom hale getirilmektedir. BA-ACO algoritmasının klasik ACO algoritmasına göre yerel minimumlardan kurtulma alanında daha başarılı olduğu belirtilmektedir (Benhala, 2019).

Yapılan çalışmalar PSO algoritmasının çok boyutlu problemlerde hızlı ve yeterli sonuçlar verdiğini göstermektedir. PSO, diferansiyel denklem çözümü gerektirmemesi, az sayıda parametreye ihtiyaç duyması gibi önemli avantajlara sahiptir (Tamer & Karakuzu, 2006). Genetik algoritmalar ve diferansiyel evrim algoritmaları gibi bilinen diğer optimizasyon algoritmaları ile karşılaştırıldığında PSO daha iyi yakınsama hızına sahiptir. Literatürde mevcut 8 farklı test fonksiyonu kullanılarak algoritmalar karşılaştırıldığında PSO'nun daha iyi yakınsama hızına sahip olduğu görülmektedir (Özsağlam & Çunkaş, 2008). PSO algoritması ile ilgili daha detaylı güncel araştırmalar bölüm 3'te ele alınmaktadır. Literatürde gecikme eşitleyici tasarımına farklı bir bakış açısı getiren çalışmalar da mevcuttur. Gecikme eşitleyici tek bir blok olarak ele alınarak tasarım yapılmakta, ardından bu blok birinci ve ikinci derece tüm-geçiren yapılarla elde edilmektedir. Bu yaklaşım tasarım sürecinde basitlik sağlamaktadır (Şengül, 2015).

1.1. Tez Kapsamı

Bu çalışmada köklü bir geçmişe sahip filtre teorisi ile günümüzde literatürde üzerine sıklıkla çalışmalar yapılan optimizasyon yöntemleri bir arada ele alınmaktadır. Butterworth, Chebyshev ve Cauer yaklaşıklıkları kullanılarak tasarlanan aktif analog alçak geçiren filtrelerin iletim bandındaki grup gecikmesi değerleri optimizasyon kullanılarak eşitlenmektedir. Gecikme eşitleme işlemi birinci ve ikinci derece tüm-geçiren filtre blokları kullanılarak gerçekleştirilmektedir. Tüm-geçiren filtre bloklarının tasarım parametrelerini hesaplamak için parçacık sürü optimizasyonu (PSO) algoritması kullanılmaktadır. PSO, ayarlanabilir parametrelerle çalışmasının yanı sıra literatürde yapılan çalışmalardan görüldüğü üzere diğer optimizasyon yöntemlerine kıyasla hızlı ve başarılı sonuçlar verdiği için tercih edilmektedir. Gecikmesi eşitlenecek alçak geçiren filtreler tasarlanırken gerçekçi bir karşılaştırma yapabilmek için aynı isterleri sağlayabilen minimum filtre dereceleri hesaplanıp filtre tasarımı bu derecelere göre yapılmaktadır. Gecikme eşitleyici tasarımında, literatürde kullanılan 7 farklı tüm-geçiren filtre devresi kullanılmaktadır. Benzetim sonuçları kısmında, 3 ayrı yaklaşıklık ve her yaklaşıklık için 7 ayrı devre üzerinden gecikme eşitleme işlemi gerçekleştirilmekte ve elde edilen sonuçlar verilmektedir. Sonrasında elde edilen bulguların kontrolünü sağlamak amacıyla her bir yaklaşıklık için birer örneğin zaman alanı analizi de verilmektedir.

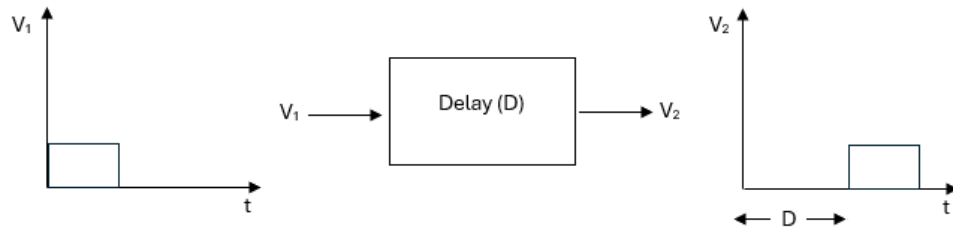
Optimizasyon sürecinde hesaplamalar yapılırken farklı bir yaklaşım kullanılmaktadır. Gecikme değerleri bir dizinin elemanları olarak tutulmakta, basit matematiksel denklemler ile yeni gecikme değerleri hesaplanmakta ve dizinin maksimum ve minimum değeri arasındaki farkın değerine göre optimizasyon süreci tamamlanmaktadır. Bu yaklaşım ile oldukça karmaşık bir süreç olan tasarım süreci basitleştirilmiştir. Yapılan literatür taramasında, analog filtreler için gecikme eşitleyici tasarımında PSO algoritması kullanımını ele alan benzer özellikli bir çalışmaya rastlanmamıştır. Tez konusunun seçilme nedenleri olan bütün bu yönleriyle, çalışma literatüre katkı sağlayacaktır.

2. FİLTRELERDE GECİKME EŞİTLEME

Filtreler doğaları gereği işledikleri sinyallerde gecikmeye neden olurlar, bu normal bir durumdur. İdeal durumda iletim bandında sabit bir gecikme olması gerekmektedir. Çünkü iletim bandı içerisindeki belirli bir frekanstaki sinyalin başka bir frekanstaki sinyalden daha fazla veya daha az gecikmesi işlenen verinin bozulmasına, anlamlı bir şekilde çıkışa iletilmemesine neden olur. Bu sebeple filtrenin grup gecikmesi frekans değiştikçe değişmemeli, iletim bandı içinde her zaman sabit bir değerde olmalıdır. Bu şartı sağlayabilmek için gecikme eşitleme devreleri kullanılır. Gecikme eşitleme işlemi tüm-geçiren filtre blokları kullanılarak tasarlanan yapılarla gerçekleştirilir. Burada amaç; gecikmesi eşitlenecek filtre devresine kaskad olarak bağlanan tüm-geçiren bloklarla sisteme fazladan gecikme ekleyerek son durumda iletim bandında ideale yakın bir gecikme değeri elde etmektir. Tüm-geçiren filtreler sinyalin genliğini değiştirmeden sadece fazını değiştirdikleri için bu tasarıma uygun yapılardır (Winder, 2002).

2.1. İdeal Gecikme

İdeal gecikme Şekil 2.1’de görüldüğü gibi olmalıdır (Schaumann vd., 2001).



Şekil 2.1: İdeal gecikme formu (Schaumann vd., 2001).

Şekil 2.1’de verilen sistemin matematiksel ifadesi (2.1) denkleminde verilmektedir (Schaumann vd., 2001).

$$v_2(t) = v_1(t - D) \quad (2.1)$$

Şekil 2.1'de verilen sistemin transfer fonksiyonu (2.2) denkleminde verilmektedir.

$$T(s) = \frac{v_2(s)}{v_1(s)} \quad (2.2)$$

Filtrelerin grup gecikmesi değerleri transfer fonksiyonundan faydalanılarak hesaplanmaktadır. Faz kaymasının frekansa göre türevi alınıp eksi ile çarpılırsa (2.3) denkleminde görüldüğü üzere gecikme elde edilir.

$$D(\omega) = -\frac{d\theta(\omega)}{d\omega} \quad (2.3)$$

2.2. Birinci ve İkinci Derece Gecikme Eşitleyiciler

Filtrelerde sinyal işleme sırasında meydana gelen gecikmenin normal olduğu ve ideal durumda bu gecikmenin iletim bandı içerisinde eşit olması gerektiği önceki bölümlerde açıklanmaktadır. Gecikme eşitleme işlemi yapılırken tüm-geçiren filtre blokları kullanılmaktadır. **Şekil 2.2**'de görüldüğü üzere tüm-geçiren filtre blokları gecikmesi eşitlenecek olan filtreye kaskad olarak bağlanır.



Şekil 2.2: Filtre ve gecikme eşitleyicinin kaskad bağlantısı (Schaumann vd., 2001).

$T_F(s)$ gecikmesi eşitlenecek filtreye karşılık gelir, $T_E(s)$ ise tüm-geçiren filtreye karşılık gelir. Gecikme eşitleme işlemi uygulanacak olan filtrenin karmaşıklığı arttıkça, birinci ve ikinci dereceden tüm-geçiren filtreler ardışık olarak bağlanarak daha yüksek mertebeden gecikme eşitleyiciler tasarlanır. Ancak eklenen her bir filtre bloğu sistemin toplam gecikmesini artırmaktadır. Bu nedenle, iletim bandında izin verilen grup gecikmesi dalgalanma değerini minimum sayıda tüm-geçiren filtre kullanarak elde etmek önemlidir.

2.2.1. Birinci Derece Eşitleyici

Birinci dereceden tüm-geçiren filtrelerin transfer fonksiyonu (2.4) denkleminde verilmektedir. Burada transfer fonksiyonunun pay ve paydasında bulunan α_0 değeri birinci dereceden tüm-geçiren filtrenin tasarım parametresidir (Williams, 2014).

$$T(s) = \frac{s - \alpha_0}{s + \alpha_0} \quad (2.4)$$

Transfer fonksiyonunun mutlak değeri hesaplandığında (2.5) denkleminde de görüldüğü üzere denklemin pay ve payda kısmı frekanstan bağımsız olarak eşit olur.

$$|T(s)| = \left| \frac{s - a_0}{s + a_0} \right| = \frac{\sqrt{a_0^2 + \omega^2}}{\sqrt{a_0^2 + \omega^2}} = 1 \quad (2.5)$$

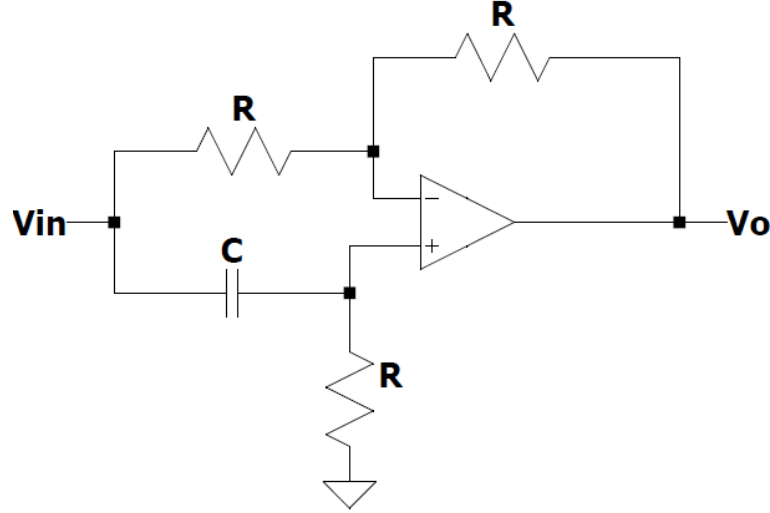
Tüm-geçiren filtre yapısı genliği değiştirmeden sinyalin fazında kayma sağlar. Denklem (2.6) bu faz kaymasının matematiksel ifadesidir.

$$\beta(\omega) = -2 \tan^{-1} \frac{\omega}{a_0} \quad (2.6)$$

Faz kaymasının frekansa göre türevi alınıp eksi ile çarpılırsa grup gecikmesi elde edilir. Denklem (2.7) birinci derece tüm-geçiren filtrenin grup gecikmesinin matematiksel ifadesidir.

$$T_d = \frac{2\alpha_0}{\alpha_0^2 + \omega^2} \quad (2.7)$$

Birinci derece tüm-geçiren filtrenin devre şeması **Şekil 2.3**'te verilmektedir. Filtrenin transfer fonksiyonundaki α_0 parametresinden faydalanılarak (2.8) denklemindeki eşitlik kullanılarak R ve C değerleri belirlenir (Su, 2012).



Şekil 2.3: Birinci derece aktif tüm-geçiren filtre.

$$\alpha_0 = \frac{1}{RC} \quad (2.8)$$

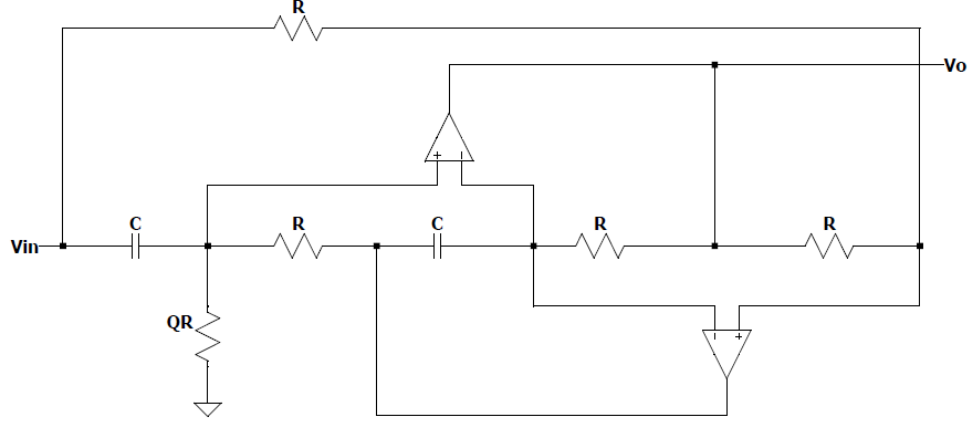
2.2.2. İkinci Derece Eşitleyici

Gecikme eşitleme işlemi uygulanacak devrenin derecesi arttıkça problemin karmaşıklığı da artar. Bu gibi karmaşık durumlarda birinci derece gecikme eşitleyiciler, iletim bandı içerisinde gecikmenin dalgalanmasını yeteri kadar düzenleyemez. Birinci derece gecikme eşitleyicilerin yeterli olmadığı durumlarda ikinci derece gecikme eşitleyiciler ve bunların kaskad olarak bağlanması ile elde edilen daha kompleks yapılar kullanılır. İkinci derece eşitleyicinin grup gecikmesi (2.9) denkleminde verilmektedir.

$$T_d = \frac{2Q\omega_0(\omega^2 + \omega_0^2)}{Q^2(\omega^2 - \omega_0^2) + \omega^2\omega_0^2} \quad (2.9)$$

İkinci dereceden eşitleyicilerin grup gecikmesi değeri, (2.9) denkleminde görüldüğü gibi Q ve ω_0 olmak üzere iki farklı parametreye bağlıdır (Williams, 2014).

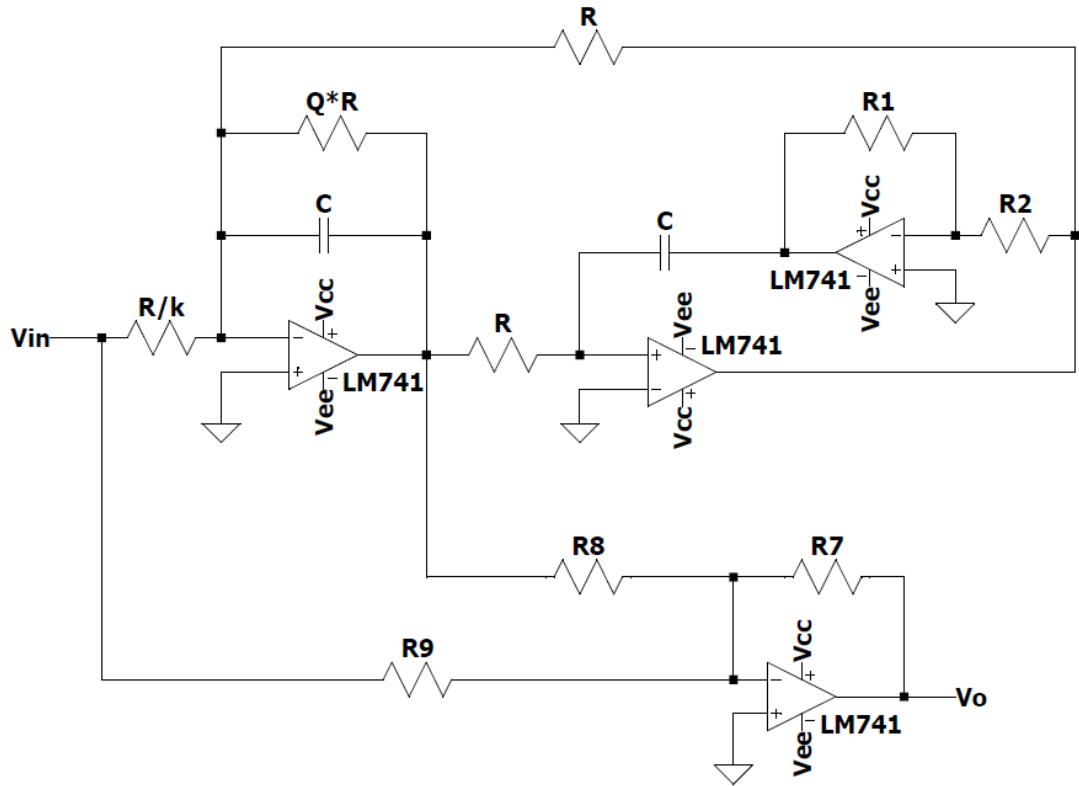
İkinci derece eşitleyiciler farklı devre topolojileri kullanılarak tasarlanabilir. **Şekil 2.4**'te verilen ikinci derece eşitleyici devresi Genel Empedans Dönüştürücü (GIC) tabanlıdır (Schaumann vd., 2001). Devrede R ve C değerleri (2.10) denklemi kullanılarak belirlenir.



Şekil 2.4: GIC ikinci derece aktif tüm-geçiren filtre.

$$RC = \frac{1}{\omega_0} \quad (2.10)$$

Şekil 2.5'te verilen ikinci derece eşitleyici devresi Ackerberg-Mossberg devre topolojisini temel alarak tasarlanmaktadır (Sedra & Brackett, 1978).

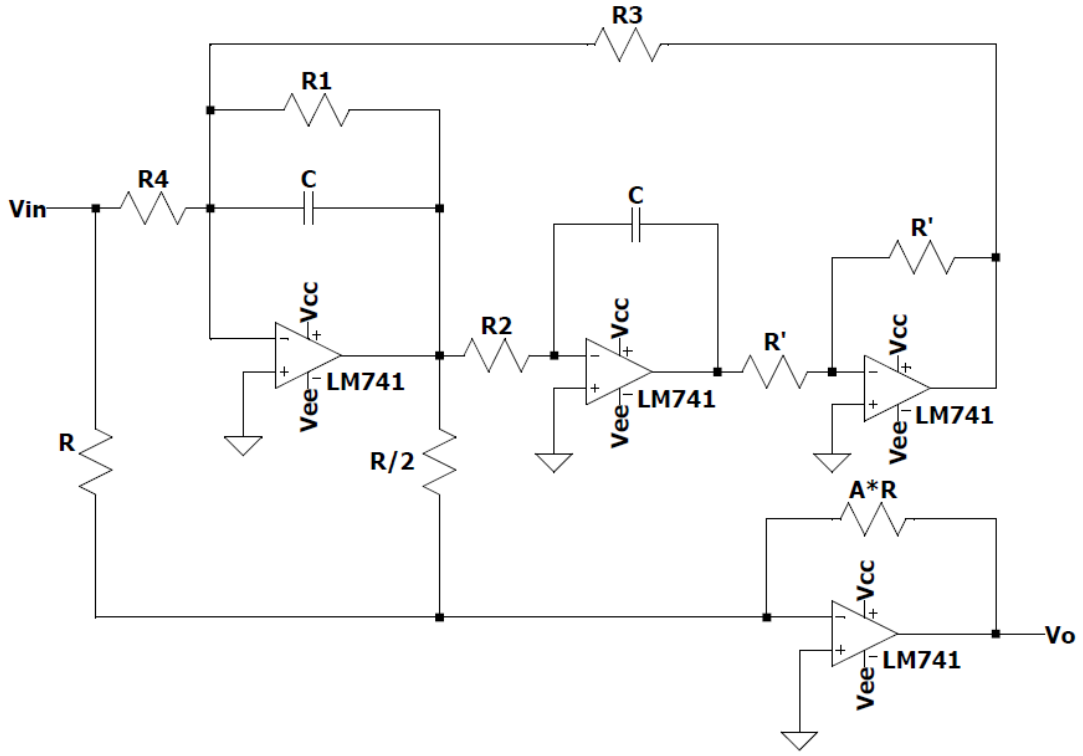


Şekil 2.5: Ackerberg-Mossberg ikinci derece aktif tüm-geçiren filtre.

$$k = \frac{2}{Q} \quad (2.11)$$

R değeri (2.10) denklemi kullanılarak, k değeri ise (2.11) denklemi kullanılarak hesaplanır. Kapasitör ve diğer dirençlerin değerleri tasarımcı tarafından seçilir. Ackerberg-Mossberg topolojisi bileşen toleranslarından kaynaklanan sapmalara karşı düşük duyarlılığa sahiptir, yüksek kararlılık ve düşük faz kayması sağlar. Ek olarak düşük harmonik bozulmaya sahiptir. Tüm-geçiren filtre uygulamaları için uygundur.

Şekil 2.6’da verilen ikinci derece eşitleyici devresi Tow Thomas devre topolojisi tabanlıdır (Zumbahlen, 2011).



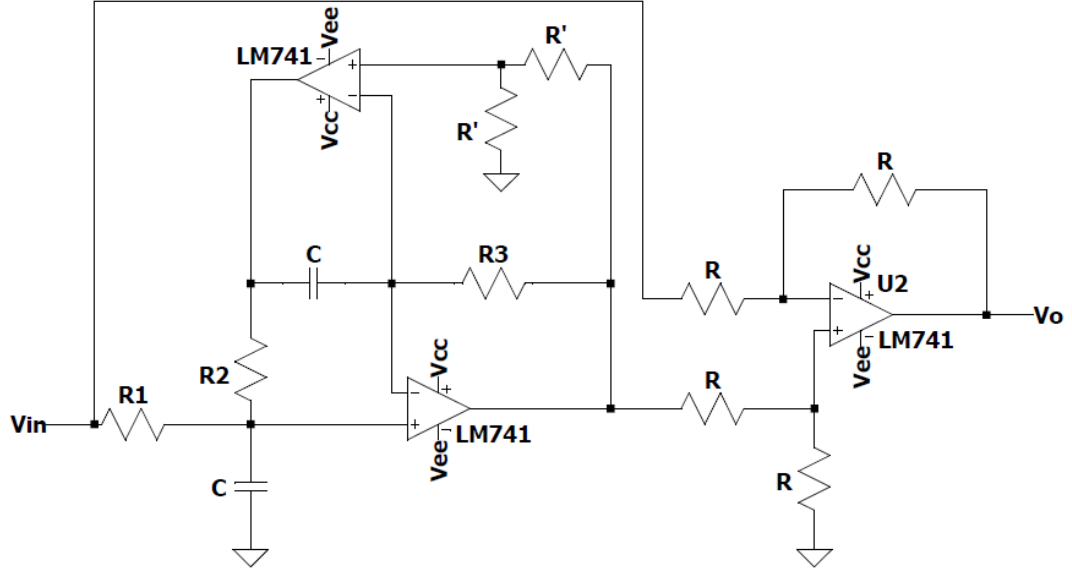
Şekil 2.6: Tow Thomas ikinci derece aktif tüm-geçiren filtre.

$$R_1 = R_4 = \frac{Q}{\omega_0 \cdot c} \quad (2.12)$$

$$R_2 = R_3 = \frac{R_1}{Q} \quad (2.13)$$

Tow Thomas ikinci derece eşitleyici devresinde C, R ve R' değerleri tasarımcı tarafından seçilir. R₁ ve R₄ değerleri (2.12) denklemi kullanılarak, R₂ ve R₃ değerleri (2.13) denklemi kullanılarak bulunur.

Şekil 2.7’de verilen ikinci derece eşitleyici devresi İki Yükselteçli Bant Geçiş (DABP) filtre topolojisi kullanılarak tasarlanır (Williams, 2014).



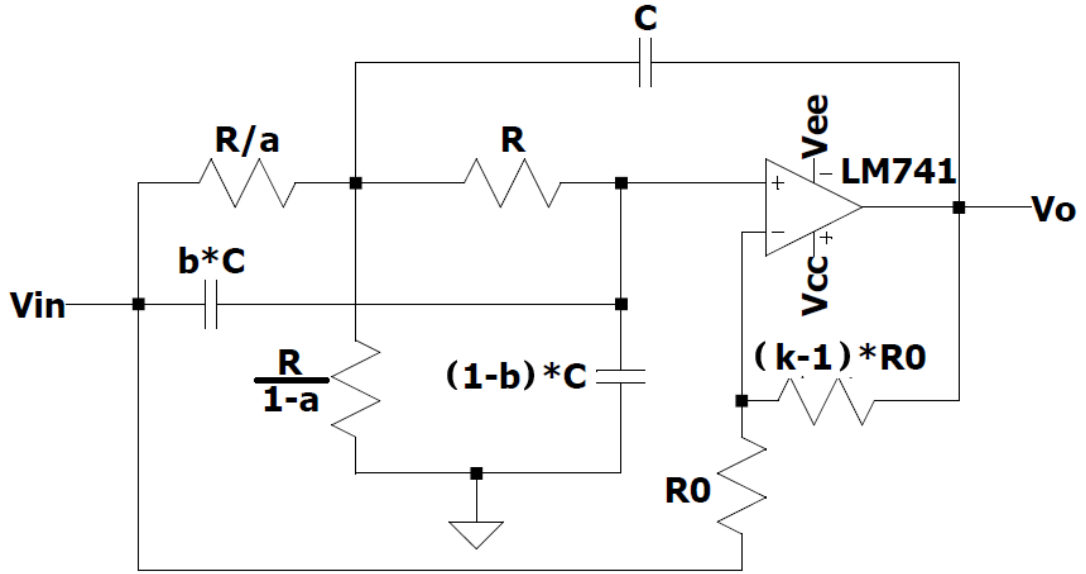
Şekil 2.7: DABP ikinci derece aktif tüm-geçiren filtre.

$$R_1 = \frac{Q}{\omega_0 \cdot C} \quad (2.14)$$

$$R_2 = R_3 = \frac{R_1}{Q} \quad (2.15)$$

DABP tabanlı ikinci derece eşitleyici devresinde C, R ve R' değerleri tasarımcı tarafından seçilir. R1 değeri (2.14) denklemi kullanılarak, R2 ve R3 değerleri ise (2.15) denklemi kullanılarak belirlenir. DABP topolojisi yüksek Q değerleri gerektiren uygulamalarda kullanılabilir. DABP eşitleyici yapısı, $Q < 150$ değerleri için uygun bir topolojidir.

Şekil 2.8’de verilen ikinci derece eşitleyici devresi Sallen-Key topolojisi kullanılarak oluşturulan bir biquad yapıdır (Schaumann vd., 2001).



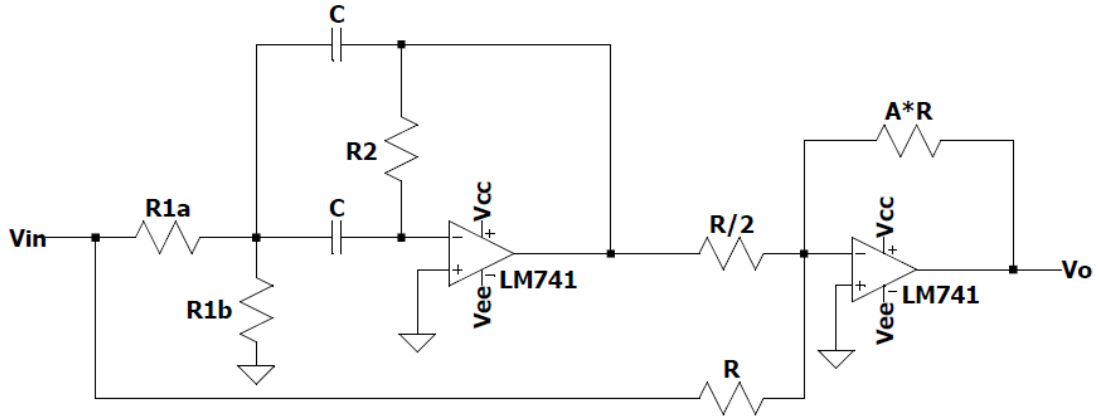
Şekil 2.8: Biquad tabanlı Sallen-Key ikinci derece aktif tüm-geçiren filtre.

$$a = b = \frac{(3Q + 1)(2Q - 1)}{(3Q - 1)(2Q + 1)} \quad (2.16)$$

$$k = 3 - \frac{1}{Q} \quad (2.17)$$

Biquad tabanlı Sallen-Key ikinci derece eşitleyici devresinde R_0 ve C değeri tasarımcı tarafından seçilir. R değeri (2.10) denklemi kullanılarak, a ve b değerleri (2.16) denklemi ve k değeri (2.17) denklemi kullanılarak hesaplanır. Devredeki diğer kapasitör ve direnç değerleri a, b ve k değerleri kullanılarak bulunur.

Şekil 2.9'da verilen ikinci derece eşitleyici devresi Çoklu Geri Beslemeli Bant Geçiş (MFBP) filtre topolojisi kullanılarak tasarlanır (Huelsman, 1993).



Şekil 2.9: MFBP ikinci derece aktif tüm-geçiren filtre.

$$R_2 = \frac{2Q}{\omega_0 \cdot C} \quad (2.18)$$

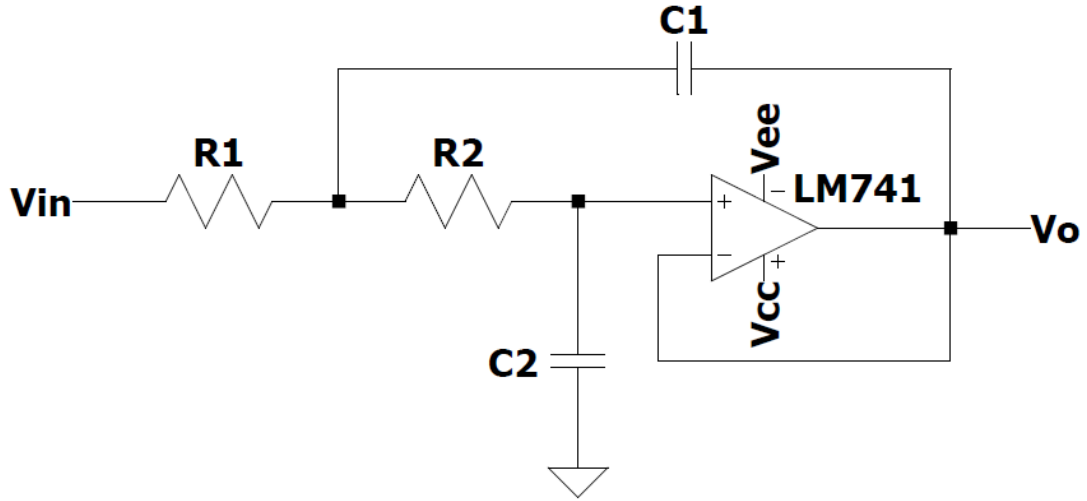
$$R_{1a} = \frac{R_2}{2} \quad (2.19)$$

$$R_{1b} = \frac{R_{1a}}{2Q^2 - 1} \quad (2.20)$$

MFBP tabanlı ikinci derece eşitleyici devresinde C ve R değerleri tasarımcı tarafından seçilir. R_{1a} değeri (2.19) denklemi kullanılarak, R_{1b} değeri (2.20) denklemi kullanılarak ve R_2 değeri (2.18) denklemi kullanılarak hesaplanır.

Şekil 2.9'da verilen MFBP ikinci derece eşitleyici devresi $0.707 < Q < 20$ aralığındaki değerler için uygun bir tasarımıdır. Literatürdeki çoğu uygulamada Q değerleri 20'den küçük olarak hesaplanmıştır. Dolayısıyla MFBP ikinci derece eşitleyici devresi çoğu durumda yeterli olur.

Şekil 2.10'da verilen ikinci derece eşitleyici devresi Sallen-Key topolojisi kullanılarak tasarlanır (Dimopoulos, 2011). Sallen-Key topolojisi aynı devre yapısıyla yalnızca direnç ve kapasitör değerlerini değiştirerek alçak geçiren, yüksek geçiren, tüm-geçiren gibi farklı filtre türlerini elde etmeyi mümkün kılmaktadır.



Şekil 2.10: Sallen-Key ikinci derece aktif tüm-geçiren filtre.

$$\frac{C_2}{C_1} < \frac{1}{4Q^2} \quad (2.21)$$

$$R_1 = \frac{1}{\frac{1}{2Q} + \sqrt{\frac{1}{4Q^2} - \frac{C_2}{C_1}} \cdot \omega_0 \cdot C_1} \quad (2.22)$$

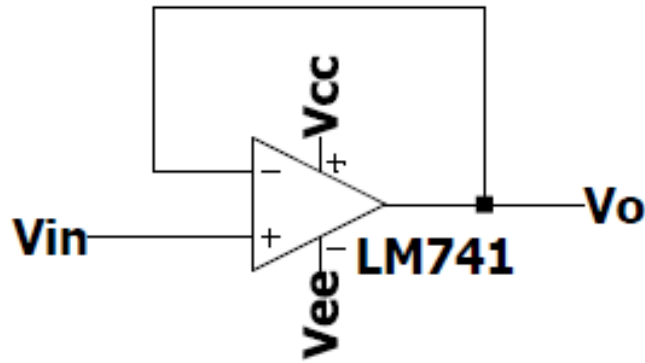
$$R_2 = \frac{1}{\frac{\omega_0 \cdot C_1}{Q} - \frac{1}{R_1}} \quad (2.23)$$

Şekil 2.10'da verilen Sallen-Key ikinci derece eşitleyici C_1 ve C_2 kapasitörleri (2.21) eşitsizliği kullanılarak belirlenir. R_1 ve R_2 değerleri ise sırasıyla (2.22) ve (2.23) denklemleri kullanılarak hesaplanırlar.

2.2.3. Gerilim İzleyici (Buffer)

Bir devrenin çıkışına başka bir devrenin bağlanması kaskad bağlantı olarak adlandırılır. Bazı çalışmalarda tasarım yapısı gereği kaskad bağlantı kullanmak gereklidir. Bu çalışmada da gecikme eşitleyici devre bloğu oluşturulurken, yüksek derece filtreler elde edebilmek için birinci ve ikinci derece tüm-geçiren yapılar kaskad bağlantı kullanılarak arka arkaya bağlanmaktadır. Bu sayede, gecikme dalgalanmasının yüksek olduğu karmaşık durumlarda dahi gerilim eşitleme işlemi uygulamak mümkün olmaktadır. Kaskad bağlantı yapabilmek için devrelerin yüksek giriş empedansı ve düşük çıkış empedansına sahip olmaları gerekmektedir, aksi durumda elektronik devreler girişlerine ve çıkışlarına bağlanan yüklerden etkilenirler. Bu etkinin önüne geçmek için gerilim izleyici devreler kullanılmaktadır.

Gerilim izleyici, bir elektronik devrede giriş sinyalini değiştirmeden, bir devreyi diğerinden izole ederek sinyal izolasyonu sağlayan devre yapısıdır. Çok yüksek giriş empedansı ve çok düşük çıkış empedansına sahip olmaları devrelerin izolasyonunu mümkün kılmaktadır. **Şekil 2.11**'de aktif devre elemanı olan işlemsel yükselteç kullanılarak tasarlanan gerilim izleyici devre yapısı görülmektedir. Bu çalışmada bir filtre katını diğerine bağlarken **Şekil 2.11**'de verilen yapı kullanılarak izolasyon sağlanmaktadır.



Şekil 2.11: Gerilim izleyici yükselteç devresi.

3. PARÇACIK SÜRÜ OPTİMİZASYONU (PSO)

Optimizasyon, belirli bir sistemin, sürecin veya problemin en iyi performansını veya sonucunu elde etmek için parametrelerin ve değişkenlerin en verimli şekilde ayarlanmasıdır (Clerc, 2010). Bu çalışmada sistem, gecikmesi eşitlenecek olan analog aktif alçak geçiren bir filtre devresi ve bu filtreye kaskad bağlı birinci ve ikinci derece aktif tüm-geçiren filtre bloklarından oluşmaktadır. Gecikmesi eşitlenecek filtrenin karmaşıklığı, son durumda iletim bandında istenilen gecikme dalgalanması değeri (ΔD) gibi etkenler ihtiyaç duyulan tüm-geçiren filtre blokları sayısını belirler.

Bu çalışmada optimizasyon algoritması olarak PSO kullanılmaktadır. PSO algoritması teorisi ilk olarak 1995 yılında Kenndey ve Eberhart tarafından önerilmiştir. Doğadan esinlenilerek geliştirilen PSO algoritması karmaşık optimizasyon problemlerini bu şekilde çözebilen bir yaklaşıma sahiptir. Doğada birey olarak hareket etmek, sürü olarak hareket etmeye kıyasla daha az başarı getirir. Bu nedenle PSO’da çözüm uzayını optimize etmek ve optimum sonucu elde etmek için birden fazla parçacıktan oluşan sürü kullanılır. Başlangıçta her parçacık rastgele hız ve konumdadır. Optimizasyon sürecinde her parçacık her bir iterasyonda kendi en iyi konumunu ve aynı zamanda sürünün en iyi konumunu sürekli güncelleyerek evrensel optimumu bulmaya çalışır (Kennedy & Eberhart, 1995).

3.1. PSO Algoritmasında Hız ve Konum Güncelleme

Optimizasyon işleminin başlangıcında sürüdeki her bir parçacık rastgele hız ve konum değerlerine sahiptir. Sürüyü oluşturan parçacıklar optimum değeri bulmak için hedefe rastgele yaklaşırlar. Elde edilen bilgiler, parçacıkların birbiri ile iletişimi aracılığıyla sürü içinde tecrübe aktarımı yapılarak paylaşılır. Tasarımcı tarafından belirlenen iterasyon sayısınca bu döngü devam eder. Parçacıklar optimum değeri ararken arama bölgesi dışında arama yapılmaması için problemin yapısına göre bazı sınırlamalara tabi tutulur. Bu çalışma için sınırlar α_0 , ω_0 ve Q değerlerinin bulunmasında kullanılır. Her bir iterasyonda (3.1) denklemi kullanılarak parçacıkların hızları güncellenir.

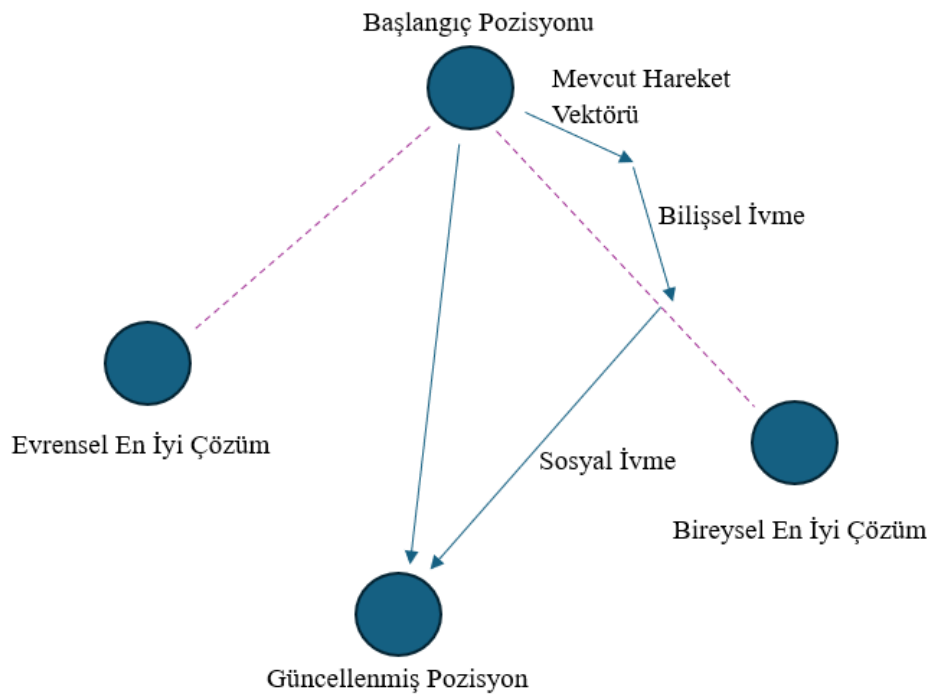
$$v_n^{i+1} = wv_n^i + c_1r_1(p_{best} - x_n^i) + c_2r_2(g_{best} - x_n^i) \quad (3.1)$$

Verilen (3.1) denkleminde v değeri parçacığın hızına, x değeri parçacığın konumuna, w değeri eylemsizlik katsayısına, c_1 değeri bilişsel katsayıya, c_2 değeri sosyal katsayıya, r_1 ve r_2 değerleri [0-1] aralığında rastgele değişkene, p_{best} ve g_{best} değerleri ise sırasıyla parçacığın en iyi konumuna ve sürünün en iyi konumuna karşılık gelmektedir. Üst indis olarak verilen i iterasyonu, alt indis olarak verilen n ise n 'inci parçacığı ifade etmektedir (Clerc, 2010). Eylemsizlik katsayısı parçacığın mevcut hızının korunmasında etkilidir. Eylemsizlik katsayısı arttıkça parçacık keşif sırasında geniş bir alanı arama yeteneği kazanır. Eylemsizlik katsayısı azaldıkça parçacığın yerel arama kabiliyeti artar. Literatürde yapılan çalışmalarda eylemsizlik katsayısı değerinin $0.8 < w < 1.2$ aralığında seçildiği takdirde PSO algoritmasının başarılı sonuç verdiği belirtilmiştir (Shi & Eberhart, 1998). PSO üzerine yapılan çalışmalar arttıkça eylemsizlik katsayısının dinamik olduğu durumların sabit olduğu durumlara göre daha yüksek başarı getirdiği belirtilmiştir. Başlangıçta yüksek olan w değerinin iterasyon ilerledikçe azalmasının optimum sonuca gitmeyi olumlu yönde etkilediği belirtilmiştir (Li vd., 2019). Başka bir çalışmada iterasyonla doğrusal olarak azalan eylemsizlik katsayısı stratejisi kullanılmaktadır. Bu yöntemin PSO algoritmasının performansı üzerinde olumlu bir etkisi olduğu gösterilmektedir (Choudhary vd., 2023). Parçacıkların bireysel en iyi çözümlerine odaklanmasını belirleyen parametre c_1 değeridir. Yüksek bir c_1 değeri parçacıkların daha yerelleştirilmiş bir arama yapmasını sağlar. Parçacıkların sürüdeki evrensel en iyi çözüme odaklanmasında etkili olan parametre c_2 değeridir. Yüksek bir c_2 değeri çözümdeki sürü etkisini artırarak daha hızlı yakınsamaya ve yerel minimumlardan kaçınmaya yarar ancak keşif gücünü azaltır (Clerc, 2010). c_1 ve c_2 değerlerinin belirlenmesi probleme özgüdür. Literatürde çeşitli yöntemler kullanarak optimum c_1 ve c_2 değerini bulmaya odaklanan çalışmalar mevcuttur. Kennedy ve Eberhart yaptıkları çalışmada c_1 ve c_2 katsayılarının 2 olması durumunda PSO algoritmasının başarılı sonuçlar verdiğini belirtmişlerdir (Kennedy & Eberhart, 1995). Başka bir çalışmada diğer değişkenler sabit tutularak c_1 ve c_2 değerleri üzerinden PSO algoritmasının başarı yüzdesi ölçülmüş ve c_1 ve c_2 değerinin 0.6 olduğu durumda en iyi sonuçların alındığı belirtilmiştir (Talita vd., 2021). Yapılan bir başka çalışmada $c_1=2$ ve $c_2=4$ seçildiğinde PSO algoritmasında sürünün başarısına odaklanılarak başarılı sonuçlar elde edildiği belirtilmiştir (Rehman vd., 2020).

Parçacıkların hızları (3.1) denklemi ile belirlendikten sonra her bir iterasyonda bu hızlardan faydalanılarak konum güncellenmesi yapılır. Denklem (3.2) parçacıkların konum güncellemelerinin matematiksel ifadesidir.

$$x_n^{i+1} = x_n + v_n^{i+1} \quad (3.2)$$

Şekil 3.1' de PSO algoritmasında her bir iterasyonda parçacığın konumunun nasıl güncellendiği görülmektedir. Optimizasyon parametreleri bir sonraki konumun hesaplanmasını doğrudan etkilemektedir.



Şekil 3.1: PSO algoritmasında parçacık konumlarının güncellenmesi.

Parçacıkların hız ve konumları belirlendikten sonra her bir iterasyonda parçacıkların kendi en iyi konumu ve sürünün en iyi konumu olan p_{best} ve g_{best} değerleri belirlenir. Bu değerler sonraki iterasyonda hız ve konum güncellemelerini etkilemektedir. Eğer elde edilen değerler istenilen şartları sağlıyorsa iterasyon sonlandırılır ve çıktı verilir. Aksi durumda algoritma maksimum iterasyon sayısına ulaşıncaya kadar çalışmaya devam eder.

Sürüdeki toplam parçacık sayısı da optimizasyonu etkileyen önemli bir parametredir. Daha fazla sayıda parçacık daha geniş bir çözüm uzayının aranmasını sağlar ancak

daha fazla hesaplama gücü ve zaman gerektirir. Benzer şekilde, iterasyon sayısı arttıkça daha fazla hesaplama gerekir. Son olarak optimum değeri hesaplanacak değişkenlerin sınır değerleri de algoritmaya girdi olarak verilmelidir. Sınırların yanlış ayarlanması algoritmanın geçersiz çözümler üretmesine neden olur. Bu çalışmada, PSO parametreleri problemin çözümüne optimum katkı sağlayacak şekilde ayarlanmıştır. Geniş bir arama yapmak için eylemsizlik katsayısı başlangıçta 0.9 olarak ayarlanmakta ve daha sonra yakınsama hızını artırmak için iterasyona bağlı olarak lineer bir şekilde 0.5'e düşürülmektedir. Algoritmada, c_1 ve c_2 değerleri daha kararlı bir model sağlamak ve evrensel en iyi çözüme odaklanmak için sırasıyla 1.5 ve 2 olarak ayarlanmaktadır. Geniş bir arama uzayı sağlamak ve bu sayede yüksek doğruluk oranı elde etmek için parçacık sayısı 100 olarak ayarlanmaktadır. İterasyon sayısı ise yapılan testler sonucunda 100 olarak belirlenmektedir.

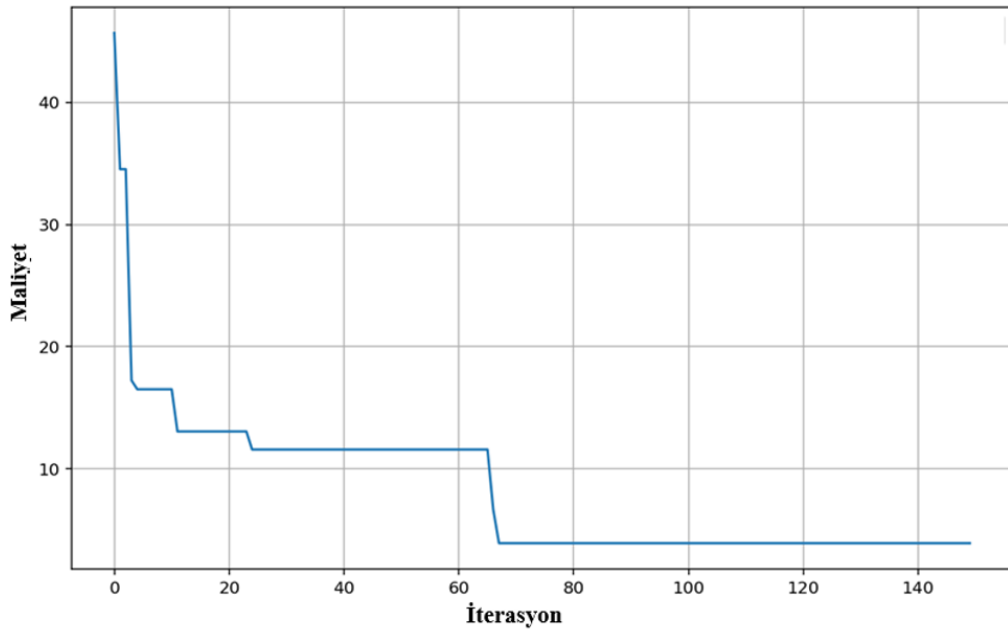
3.2. PSO Algoritması ile Gecikme Eşitleme

Bu çalışmada optimizasyon işlemi Python yazılım dili kullanılarak yazılan bir program aracılığıyla gerçekleştirilmektedir. Öncelikle gecikme eşitleme işlemi uygulanacak olan herhangi bir filtrenin frekans değerleri ve frekans değerlerine karşılık gelen grup gecikmesi değerleri farklı iki dizide tutulmaktadır. İstenilen gecikme dalgalanması değeri ve normalizasyon frekansı değeri programa girdi olarak verilir. Normalizasyon frekansı kullanılarak frekans ve gecikme değerleri normalize edilir. Normalize edilen frekans değerleri için iletim bandı içerisinde gecikmeyi eşitlemek üzere sisteme yeni gecikmeler eklenir. Bu yeni gecikme değerleri birinci derece eşitleyici için (2.7) denklemi ve ikinci derece eşitleyici için (2.9) denklemi kullanılarak hesaplanır. Birinci derece eşitleyicide kullanılan α_0 değeri optimizasyon ile bulunur. Denklem (2.7) kullanılarak her bir frekans değeri için yeni gecikme değerleri hesaplanır ve mevcut gecikmelere eklenir. İletim bandı içerisindeki maksimum gecikme değeri ile minimum gecikme değeri arasındaki farkın istenilen gecikme dalgalanması değerinden küçük olması durumunda program sonlandırılır ve optimum α_0 değeri çıktı olarak verilir. Aksi durumda program çalışmaya devam eder.

Gecikme eşitleme işlemi uygulanacak olan filtre devresinin daha karmaşık olması durumunda birinci derece eşitleyici yeterli gelmez. Bu gibi durumlarda ikinci derece eşitleyiciler kullanılır. İkinci derece eşitleyicilerde ω_0 ve Q olmak üzere iki farklı değişkenin optimizasyon ile elde edilmesi gereklidir. Programda tanımlanan

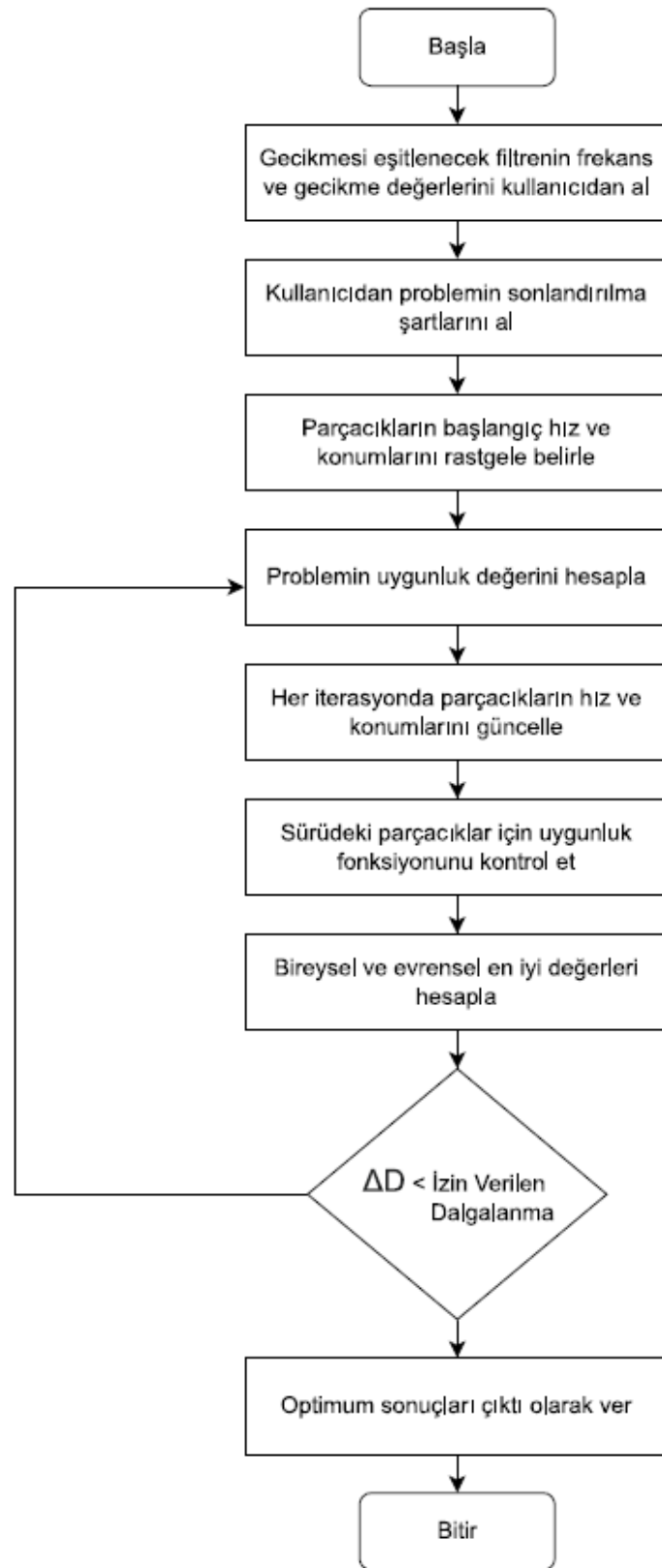
optimizasyon fonksiyonu aracılığıyla (2.9) denklemi kullanılarak her bir frekans için yeni gecikme değerleri hesaplanır ve mevcut gecikme değerlerine eklenir. Son durumda iletim bandı içerisindeki maksimum gecikme değeri ile minimum gecikme değeri arasındaki farkın istenilen gecikme dalgalanması değerinden küçük olması durumunda program sonlandırılır ve optimum ω_0 ve Q değerleri çıktı olarak verilir. Aksi durumda program çalışmaya devam eder.

Program öncelikle birinci derece eşitleyici kullanarak gecikme eşitleme işlemini gerçekleştirmeyi hedefler. Eğer birinci derece eşitleyici ile başarılı bir sonuç alınamazsa kaskad bağlanmış bir veya daha fazla ikinci derece eşitleyici kullanılarak gecikme eşitleme işlemi tamamlanır. Program algoritması gereği en az sayıda tümgeçiren filtre bloğu kullanarak çözüme ulaşmayı hedeflemektedir. Programın algoritmasını gösteren akış şeması **Şekil 3.3**'te verilmektedir.



Şekil 3.2: PSO algoritması için maliyet fonksiyonu.

PSO algoritması için yapılan maliyet analizi örneği **Şekil 3.2**'de verilmektedir. Yapılan analizlerin sonucunda 100. iterasyondan sonra sonuçta anlamlı bir değişimin olmadığı görülmektedir. Bu sebeple iterasyon sayısı 100 olarak belirlenmiştir.



Şekil 3.3: PSO algoritması akış şeması.

4. BENZETİM SONUÇLARI

Bu bölümde, Butterworth, Chebyshev ve Cauer olmak üzere üç farklı yaklaşıklık kullanılarak tasarlanan üç farklı alçak geçiren devrenin grup gecikmesi değerleri, bölüm 2.2’de detaylı olarak anlatılan yedi farklı tüm-geçiren yapı kullanılarak gecikme eşitleme işlemine tabi tutulmuştur. Benzetim sonuçları ve elde edilen verileri içeren grafik ve tablolar sunulmaktadır. Benzetim çalışmaları, Windows 11 işletim sistemi üzerinde 11th Gen Intel(R) Core(TM) i5-11400H @ 2.70GHz işlemci ile yapılmıştır.

4.1. Tasarım Parametrelerinin Elde Edilmesi

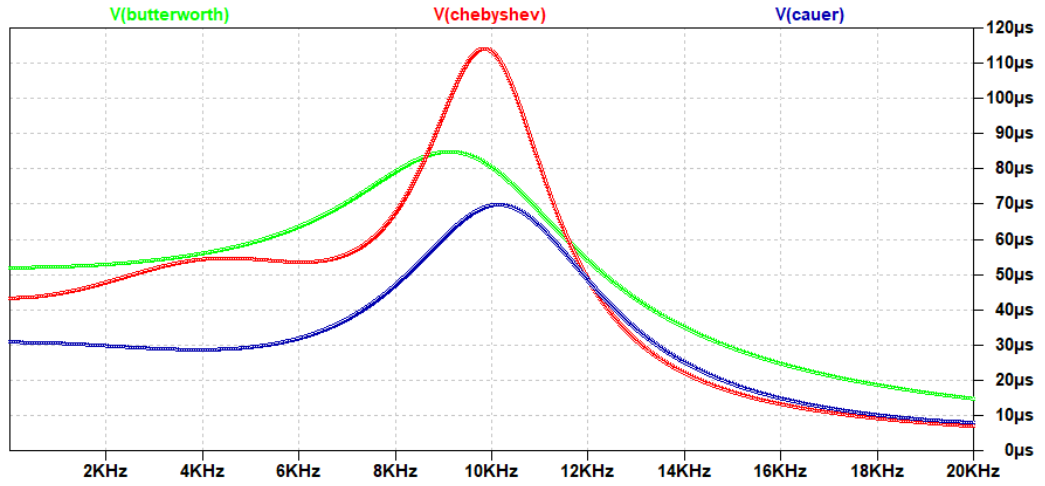
Birinci ve ikinci dereceden tüm-geçiren yapıların tasarım parametreleri olan α_0 , ω_0 ve Q değerleri PSO algoritması kullanılarak belirlenmektedir. **Tablo 4.1’** de her bir yaklaşıklık için elde edilen tasarım parametresi değerleri verilmiştir.

Tablo 4.1: Optimizasyon ile elde edilen tasarım parametreleri.

Butterworth			
Filtre Devresi	α_0	ω_0	Q
1. derece tüm-geçiren blok	1.036	-	-
2. derece tüm-geçiren blok	-	0.991	0.583
Chebyshev			
Filtre Devresi	α_0	ω_0	Q
1. derece tüm-geçiren blok	0.293	-	-
2. derece tüm-geçiren blok	-	0.677	1.212
Cauer			
Filtre Devresi	α_0	ω_0	Q
1. derece tüm-geçiren blok	0.735	-	-
2. derece tüm-geçiren blok	-	0.762	0.797

4.2. Benzetim Grafikleri

Bölüm 4.1’de elde edilen tasarım parametreleri kullanılarak, bölüm 2.2.2’de verilen tüm-geçiren devre blokları LTspice benzetim programında tasarlanmıştır. Gecikme eşitleme işlemi, grup gecikmesi eşitlenmek istenen filtre devresine tüm-geçiren devre blokları kaskad bağlanarak gerçekleştirilmektedir. Daha net bir karşılaştırma yapabilmek için alçak geçiren devreler $\alpha_{\max} = 0.5$ dB, $\alpha_{\min} = 20$ dB, $(\omega_s / \omega_p) = 2$ ve kesim frekansı 10kHz değerlerini sağlayacak şekilde tasarlanmıştır. Bu değerleri sağlayan alçak geçiren devrelerin dereceleri Butterworth için 5, Chebyshev için 4 ve Cauer için 3 olarak hesaplanmıştır. **Şekil 4.1’** de 3 farklı yaklaşıklıkla tasarlanan alçak geçiren devrelerin grup gecikmesi görülmektedir.

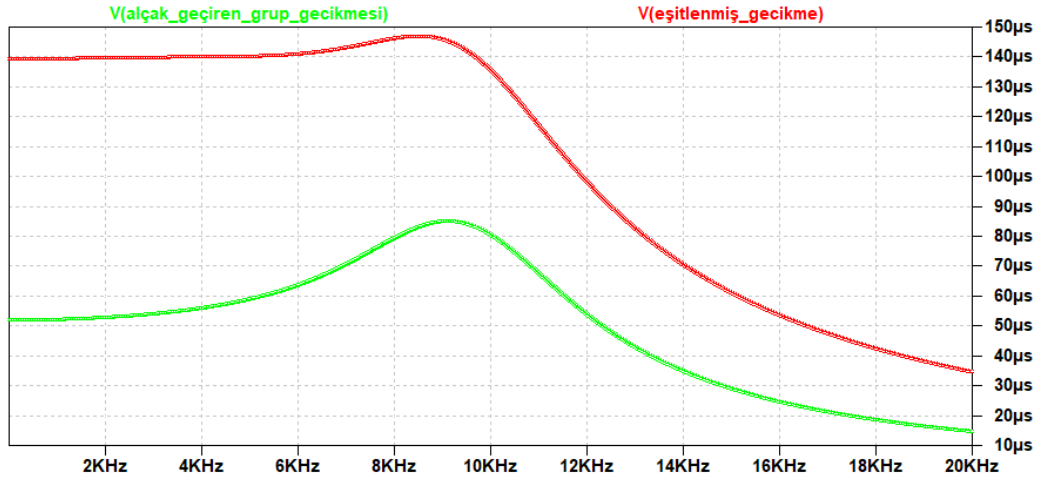


Şekil 4.1: Üç farklı yaklaşıklık ile tasarlanan alçak geçiren filtrelerin grup gecikmesi.

Eğer her yaklaşıklık eşit filtre derecesine sahip olsaydı Cauer filtresi daha kötü bir gecikme performansına sahip olacaktı ancak aynı filtre tasarım gereksinimlerini diğer yaklaşıklıklara göre daha düşük derece ile sağlayabildiği için bu örnekte Cauer yaklaşıklığı kullanılarak tasarlanan filtre Chebyshev yaklaşıklığından daha iyi bir performansa sahiptir. Butterworth yaklaşıklığı ile tasarlanan filtrenin ortalama gecikmesi Cauer yaklaşıklığı ile tasarlanan filtreye göre daha yüksektir ancak gecikme dalgalanması daha düşüktür. Gecikme dalgalanmasının düşük olması ortalama gecikmenin yüksek olmasından daha önemli olduğu için Butterworth filtrenin daha iyi bir gecikme performansı sağladığı görülmektedir.

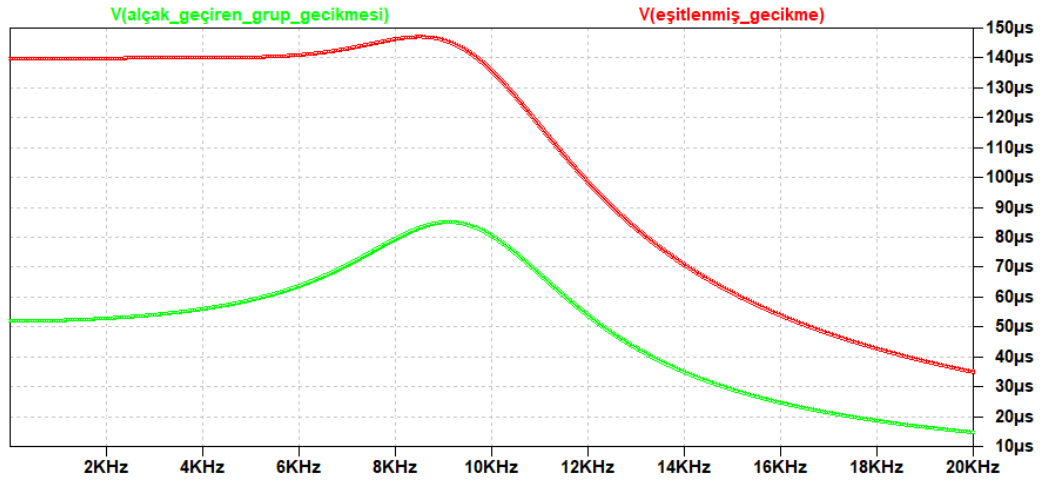
4.2.1. Butterworth Alçak Geçiren Filtre İçin Grafikler

Bu bölümde Butterworth yaklaşıklığı kullanılarak tasarlanan 10 kHz kesim frekansına sahip 5. derece analog alçak geçiren filtrenin grup gecikmesi eşitlenmektedir. Gecikme eşitleme işlemine tabi tutulmadan önce alçak geçiren devrenin analizi yapıldığında filtrenin iletim bandında maksimum gecikme ile minimum gecikme arasındaki fark olan dalgalanma değeri 33 μs olarak ölçülmüştür.



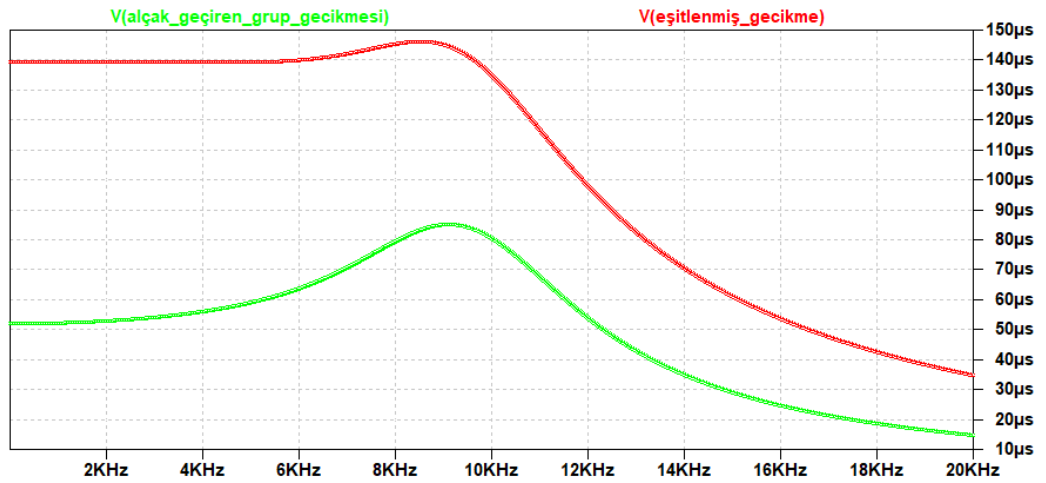
Şekil 4.2: Butterworth yaklaşıklığı için Ackerberg-Mosberg tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.

Şekil 4.2' de verilen benzetim sonucunda eşitleme işleminden sonra iletim bandında grup gecikmesi dalgalanma değeri başlangıçtaki duruma göre 65.43% azalarak 11.449 μs ölçülmüştür.



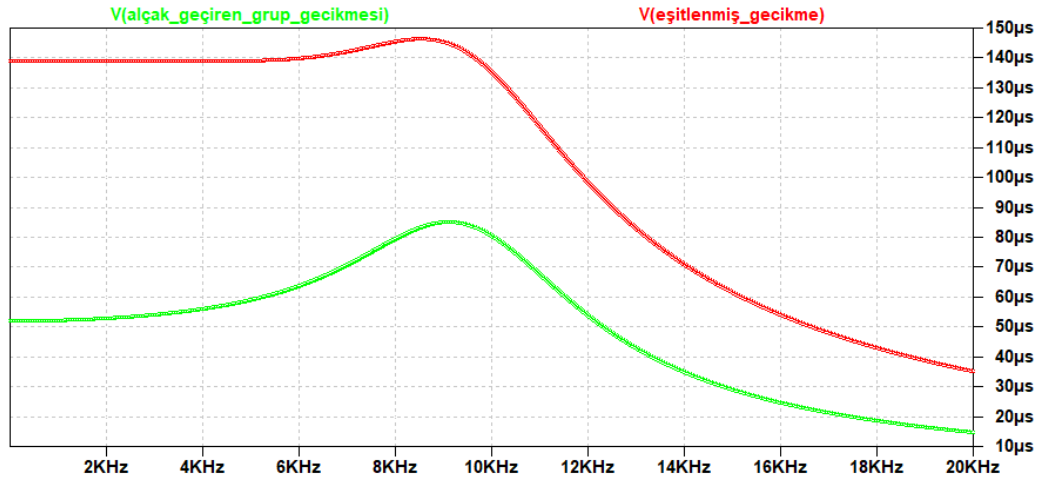
Şekil 4.3: Butterworth yaklaşıklığı için Tow Thomas tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.

Şekil 4.3'te verilen benzetim sonucunda eşitleme işleminden sonra iletim bandında grup gecikmesi dalgalanma değeri başlangıçtaki duruma göre 65.70% azalarak 11.36 μ s ölçülmüştür.



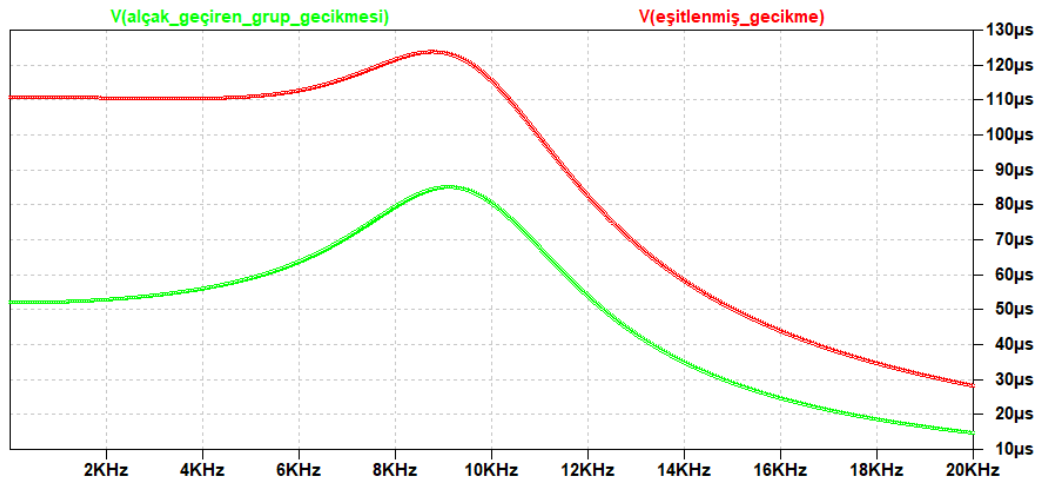
Şekil 4.4: Butterworth yaklaşıklığı için DABP tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.

Şekil 4.4'te verilen benzetim sonucunda eşitleme işleminden sonra iletim bandında grup gecikmesi dalgalanma değeri başlangıçtaki duruma göre 66.26% azalarak 11.176 μ s ölçülmüştür.



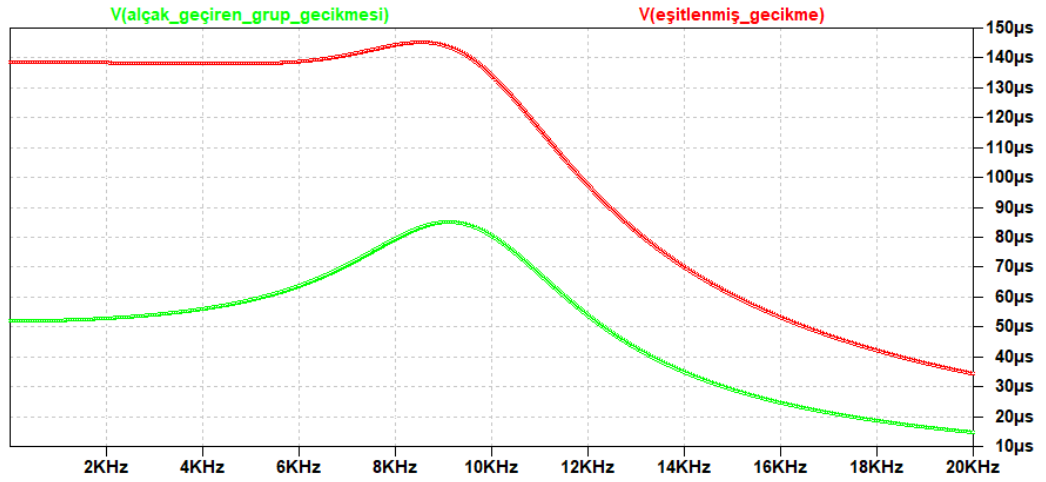
Şekil 4.5: Butterworth yaklaşıklığı için MFBP tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.

Şekil 4.5'te verilen benzetim sonucunda eşitleme işleminden sonra iletim bandında grup gecikmesi dalgalanma değeri başlangıçtaki duruma göre 66.66% azalarak 11.042 μ s ölçülmüştür.



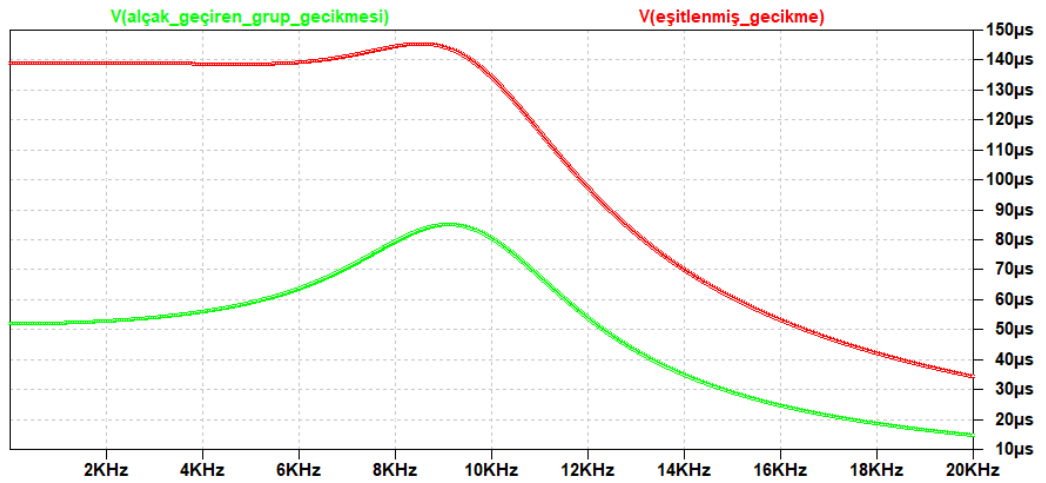
Şekil 4.6: Butterworth yaklaşıklığı için Sallen-Key tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.

Şekil 4.6'da verilen benzetim sonucunda eşitleme işleminden sonra iletim bandında grup gecikmesi dalgalanma değeri başlangıçtaki duruma göre 59.68% azalarak 13.355 μ s ölçülmüştür.



Şekil 4.7: Butterworth yaklaşıklığı için Biquad Tabanlı Sallen-Key tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.

Şekil 4.7’de verilen benzetim sonucunda eşitleme işleminden sonra iletim bandında grup gecikmesi dalgalanma değeri başlangıçtaki duruma göre 66.81% azalarak 10.993 μ s ölçülmüştür.

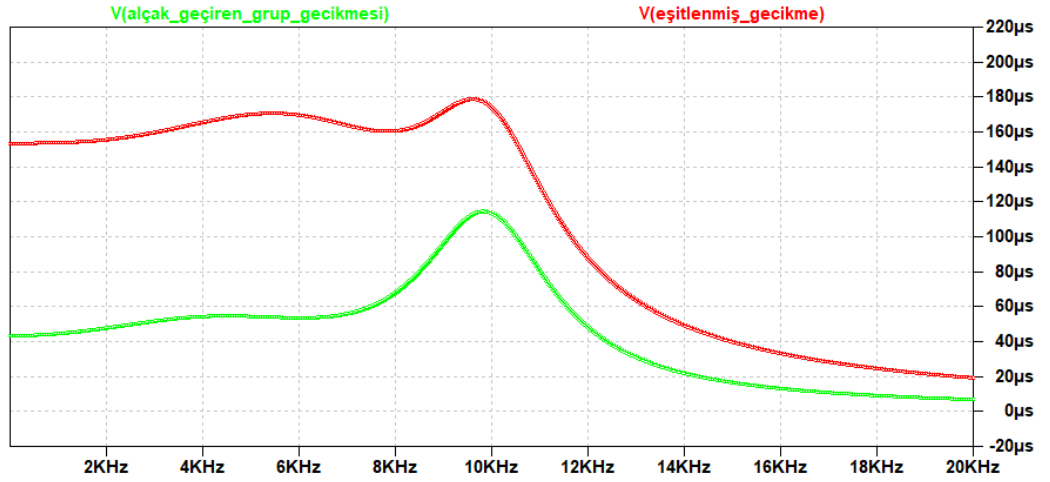


Şekil 4.8: Butterworth yaklaşıklığı için GIC tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.

Şekil 4.8’de verilen benzetim sonucunda eşitleme işleminden sonra iletim bandında grup gecikmesi dalgalanma değeri başlangıçtaki duruma göre 66.46% azalarak 11.108 μ s ölçülmüştür.

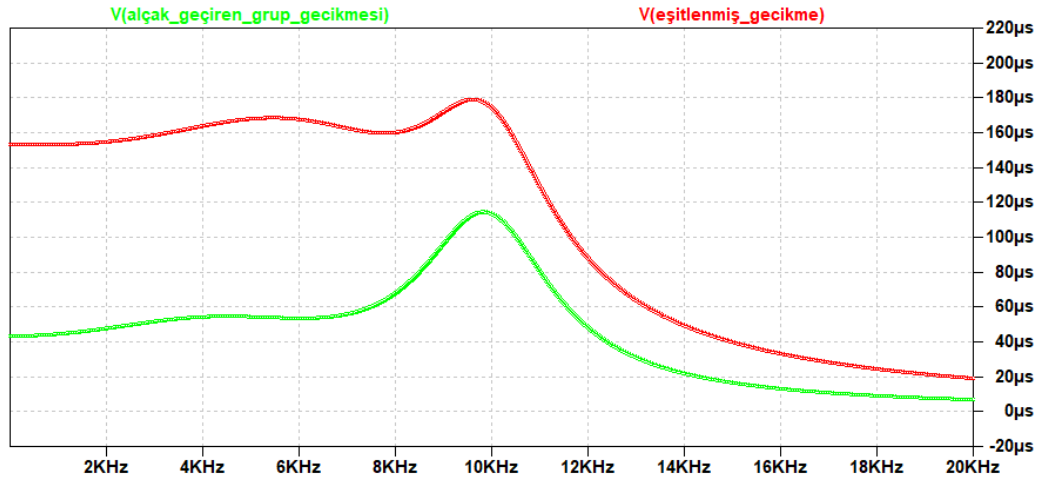
4.2.2. Chebyshev Alçak Geçiren Filtre İçin Grafikler

Bu bölümde Chebyshev yaklaşıklığı kullanılarak tasarlanan kesim frekansı 10kHz olan ve izin verilen iletim bandı dalgalanması 0.5 dB olan 4. derece analog alçak geçiren filtrenin grup gecikmesi eşitlenmektedir. Gecikme eşitleme işlemine tabi tutulmadan önce alçak geçiren devrenin analizi yapıldığında filtrenin iletim bandında maksimum gecikme ile minimum gecikme arasındaki fark olan dalgalanma değeri 71.182 μ s olarak ölçülmüştür.



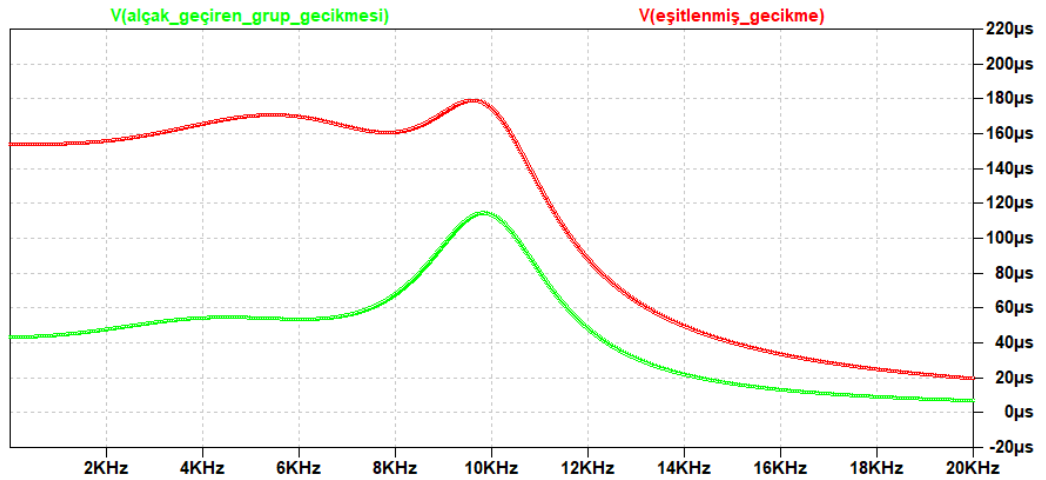
Şekil 4.9: Chebyshev yaklaşıklığı için Ackerberg-Mosberg tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.

Şekil 4.9’da verilen benzetim sonucunda eşitleme işleminden sonra iletim bandında grup gecikmesi dalgalanma değeri başlangıçtaki duruma göre 64.45% azalarak 25.305 μ s ölçülmüştür.



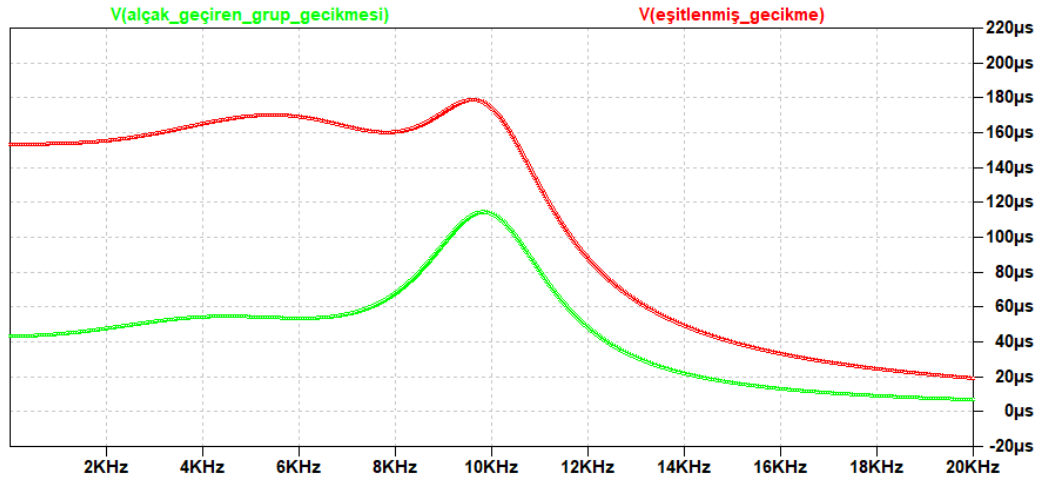
Şekil 4.10: Chebyshev yaklaşıklığı için Biquad Tabanlı Sallen-Key tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.

Şekil 4.10’da verilen benzetim sonucunda eşitleme işleminden sonra iletim bandında grup gecikmesi dalgalanma değeri başlangıçtaki duruma göre 63.28% azalarak 26.135 μ s ölçülmüştür.



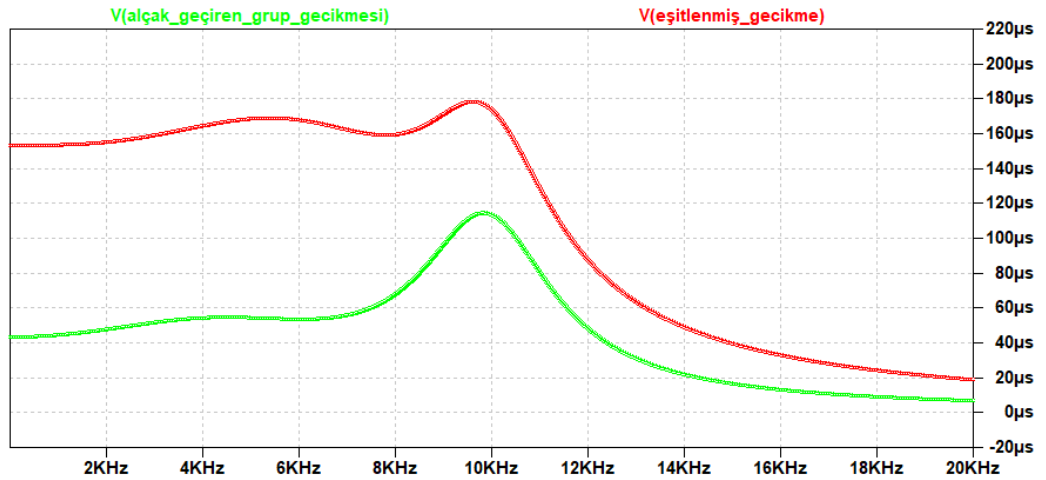
Şekil 4.11: Chebyshev yaklaşıklığı için Tow Thomas tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.

Şekil 4.11’de verilen benzetim sonucunda eşitleme işleminden sonra iletim bandında grup gecikmesi dalgalanma değeri başlangıçtaki duruma göre 64.40% azalarak 25.342 μ s ölçülmüştür.



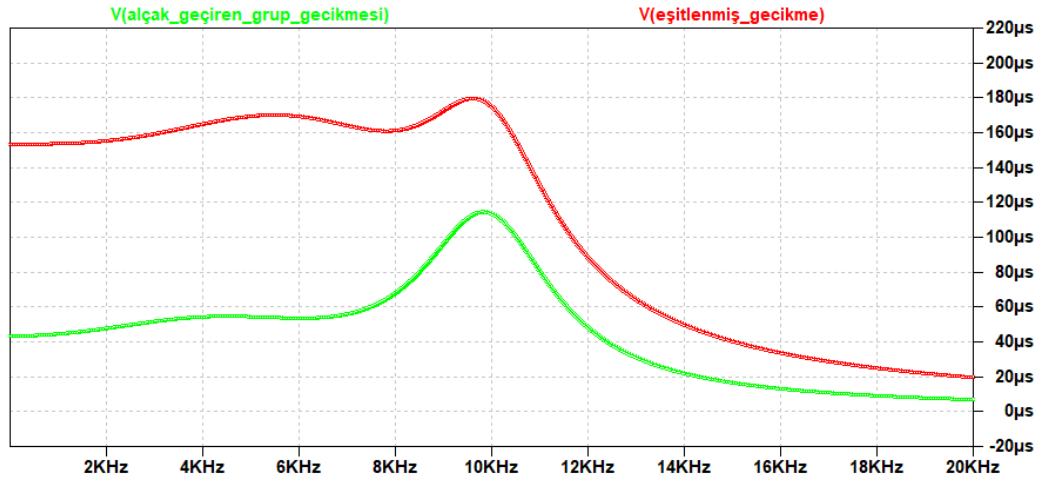
Şekil 4.12: Chebyshev yaklaşıklığı için DABP tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.

Şekil 4.12’de verilen benzetim sonucunda eşitleme işleminden sonra iletim bandında grup gecikmesi dalgalanma değeri başlangıçtaki duruma göre 64.24% azalarak 25.456 μ s ölçülmüştür.



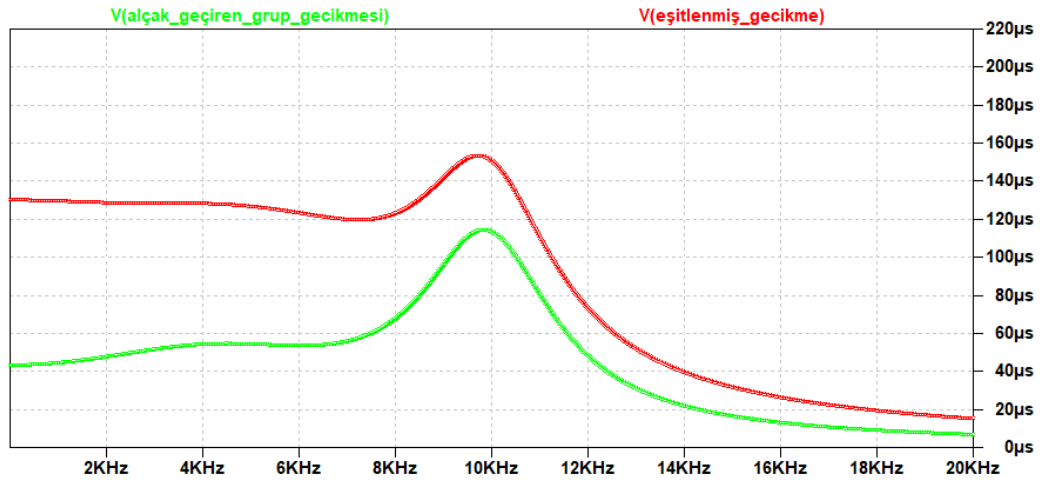
Şekil 4.13: Chebyshev yaklaşıklığı için GIC tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.

Şekil 4.13’te verilen benzetim sonucunda eşitleme işleminden sonra iletim bandında grup gecikmesi dalgalanma değeri başlangıçtaki duruma göre 64.67% azalarak 25.152 μ s ölçülmüştür.



Şekil 4.14: Chebyshev yaklaşıklığı için MFBP tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.

Şekil 4.14’te verilen benzetim sonucunda eşitleme işleminden sonra iletim bandında grup gecikmesi dalgalanma değeri başlangıçtaki duruma göre 63.13% azalarak 26.247 μ s ölçülmüştür.

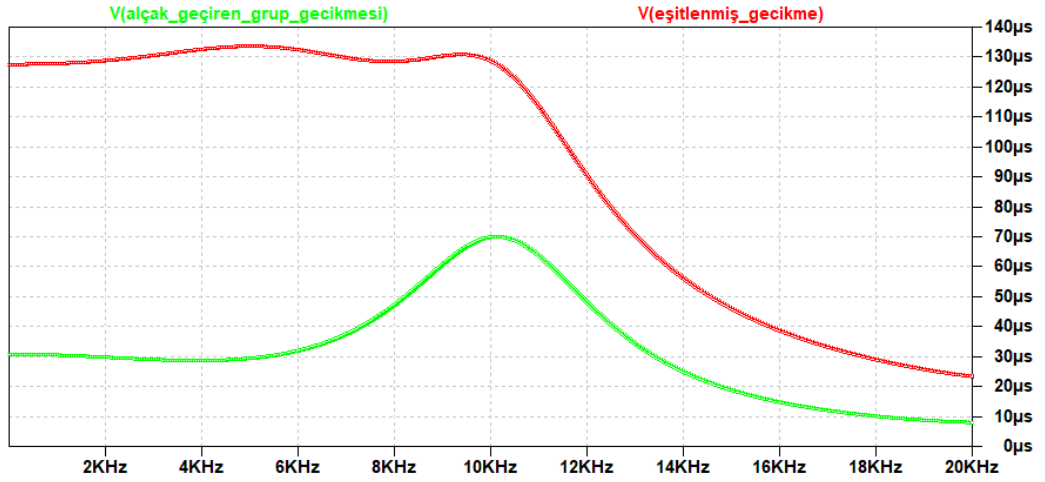


Şekil 4.15: Chebyshev yaklaşıklığı için Sallen-Key tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.

Şekil 4.15’te verilen benzetim sonucunda eşitleme işleminden sonra iletim bandında grup gecikmesi dalgalanma değeri başlangıçtaki duruma göre 52.63% azalarak 33.718 μ s ölçülmüştür.

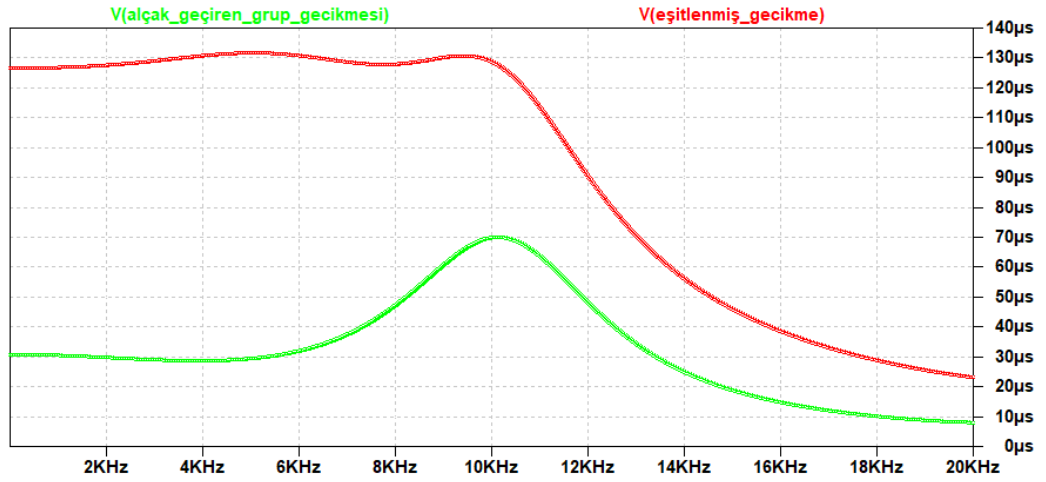
4.2.3. Cauer Alçak Geçiren Filtre İçin Grafikler

Bu bölümde Cauer yaklaşıklığı kullanılarak tasarlanan kesim frekansı 10kHz olan ve izin verilen iletim bandı dalgalanması 0.5 dB olan 3. derece analog alçak geçiren filtrenin grup gecikmesi eşitlenmektedir. Gecikme eşitleme işlemine tabi tutulmadan önce alçak geçiren devrenin analizi yapıldığında filtrenin iletim bandında maksimum gecikme ile minimum gecikme arasındaki fark olan dalgalanma değeri 43.523 μs olarak ölçülmüştür.



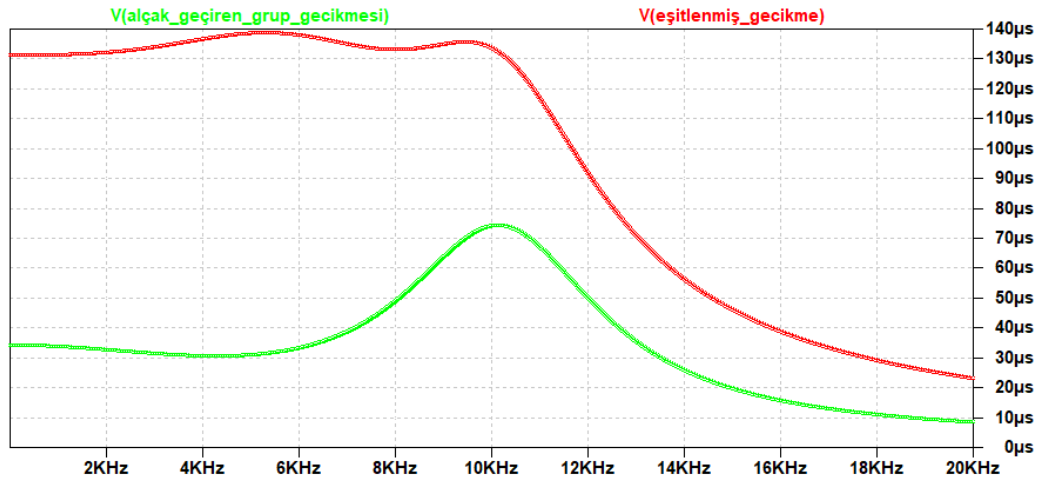
Şekil 4.16: Cauer yaklaşıklığı için Ackerberg-Mosberg tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.

Şekil 4.16’da verilen benzetim sonucunda eşitleme işleminden sonra iletim bandında grup gecikmesi dalgalanma değeri başlangıçtaki duruma göre 85.31% azalarak 6.050 μs ölçülmüştür.



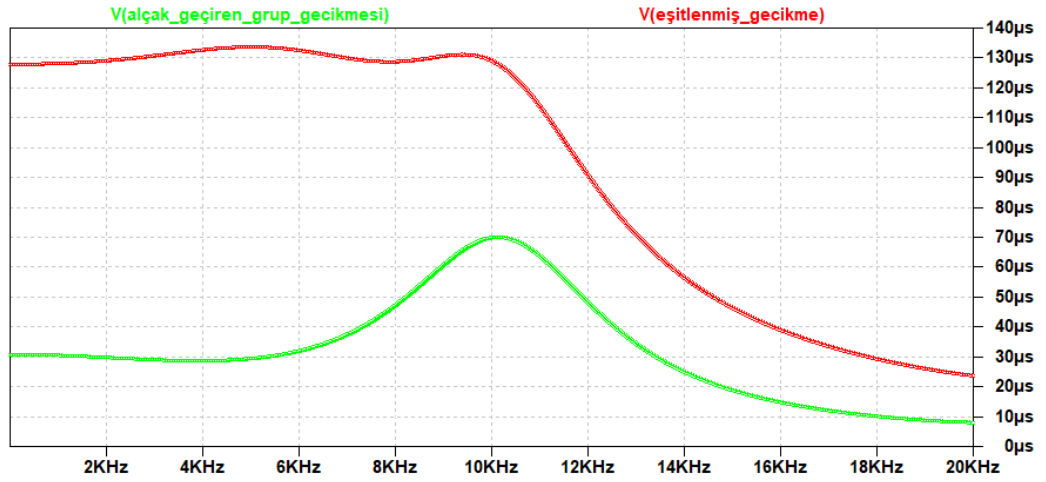
Şekil 4.17: Cauer yaklaşıklığı için Biquad Tabanlı Sallen-Key tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.

Şekil 4.17’de verilen benzetim sonucunda eşitleme işleminden sonra iletim bandında grup gecikmesi dalgalanma değeri başlangıçtaki duruma göre 87.66% azalarak 5.082 μ s ölçülmüştür.



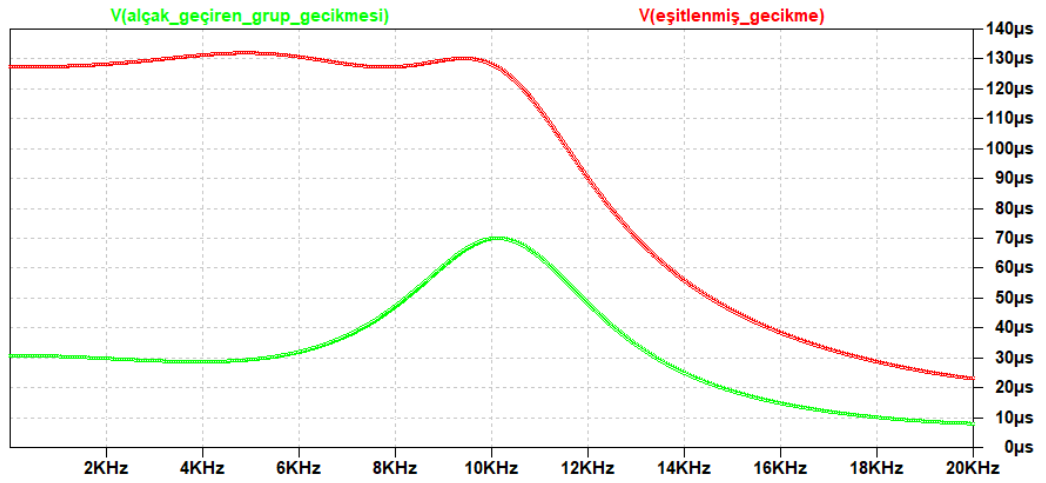
Şekil 4.18: Cauer yaklaşıklığı için DABP tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.

Şekil 4.18’de verilen benzetim sonucunda eşitleme işleminden sonra iletim bandında grup gecikmesi dalgalanma değeri başlangıçtaki duruma göre 86.86% azalarak 5.411 μ s ölçülmüştür.



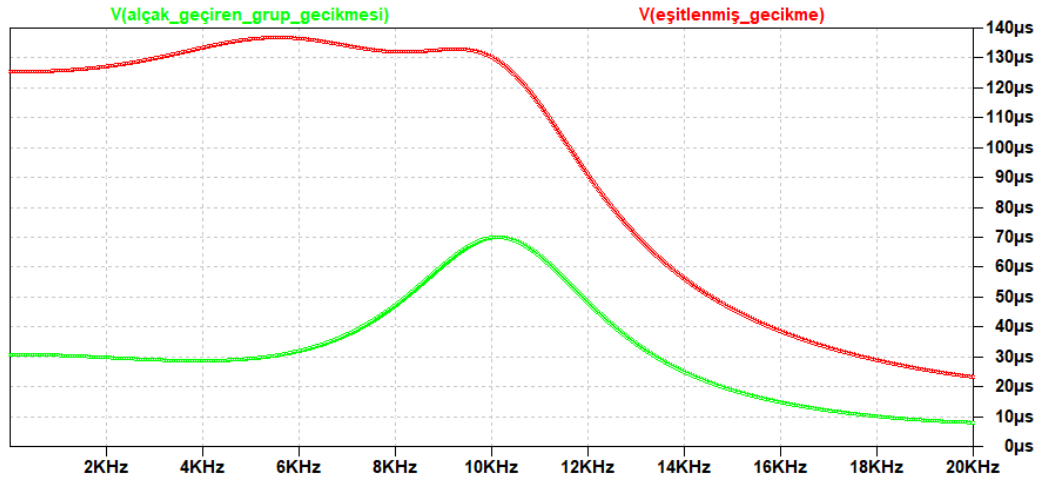
Şekil 4.19: Cauer yaklaşıklığı için Tow Thomas tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.

Şekil 4.19’da verilen benzetim sonucunda eşitleme işleminden sonra iletim bandında grup gecikmesi dalgalanma değeri başlangıçtaki duruma göre 85.94% azalarak 5.790 μ s ölçülmüştür.



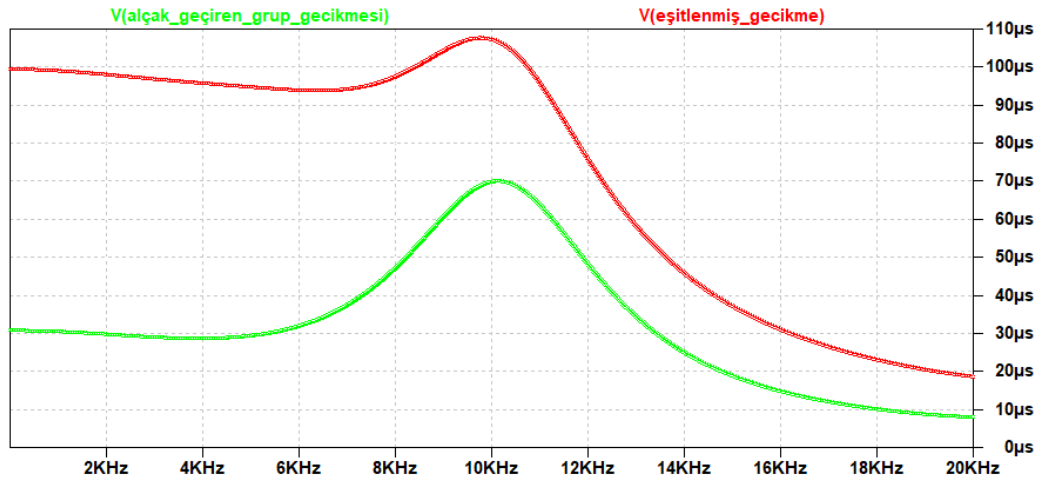
Şekil 4.20: Cauer yaklaşıklığı için GIC tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.

Şekil 4.20’de verilen benzetim sonucunda eşitleme işleminden sonra iletim bandında grup gecikmesi dalgalanma değeri başlangıçtaki duruma göre 88.57% azalarak 4.708 μ s ölçülmüştür.



Şekil 4.21: Cauer yaklaşıklığı için MFBP tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.

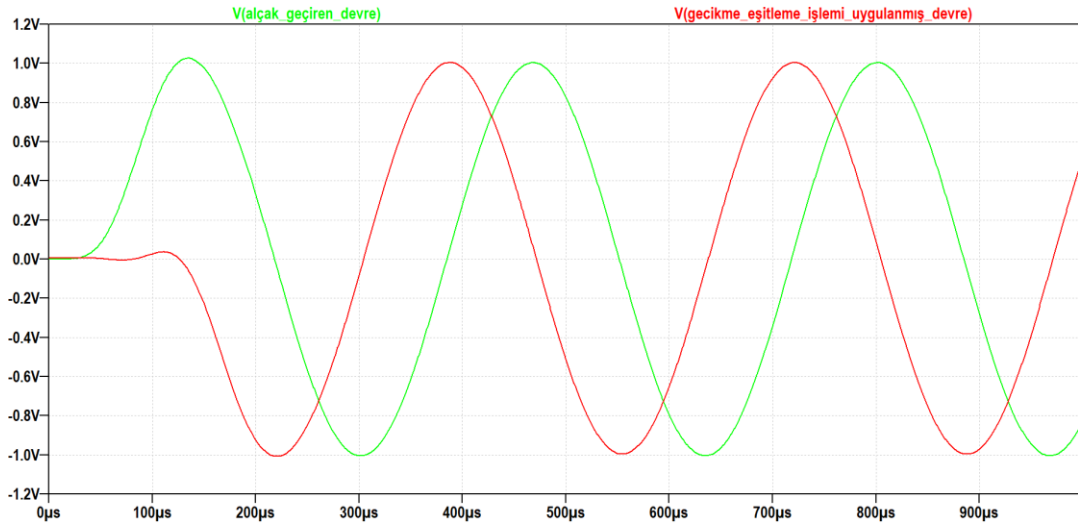
Şekil 4.21’de verilen benzetim sonucunda eşitleme işleminden sonra iletim bandında grup gecikmesi dalgalanma değeri başlangıçtaki duruma göre 72.00% azalarak 11.530 μ s ölçülmüştür.



Şekil 4.22: Cauer yaklaşıklığı için Sallen-Key tüm-geçiren devre yapısı kullanılarak gerçekleştirilen gecikme eşitleme işlemi.

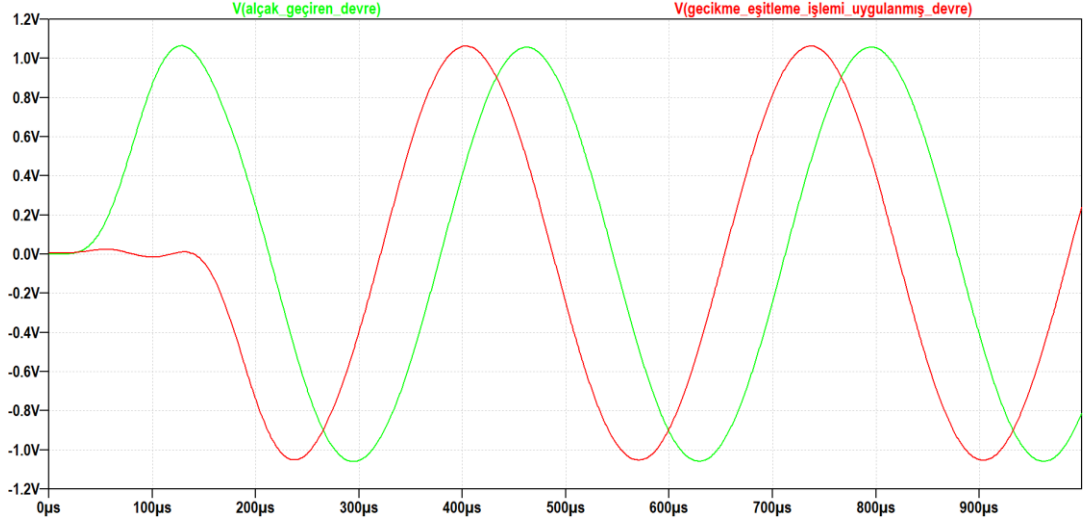
Şekil 4.22’de verilen benzetim sonucunda eşitleme işleminden sonra iletim bandında grup gecikmesi dalgalanma değeri başlangıçtaki duruma göre 66.38% azalarak 13.845 μ s ölçülmüştür.

Sonuçların doğruluğunu test etmek ve tüm-geçiren blokların genliğe etki etmeden faz kayması sağladıklarını daha net göstermek için her bir yaklaşıklık için zaman alanında analiz yapılmıştır. Sırasıyla Butterworth, Chebyshev ve Cauer yaklaşıklıkları için GIC topolojisi kullanılarak tasarlanan eşitleyici devrelerinin zaman alanı analizleri aşağıda verilmektedir. Analiz yapılırken giriş sinyali olarak, iletim bandının içerisinde olan 3 kHz frekansına sahip sinyal uygulanmaktadır.



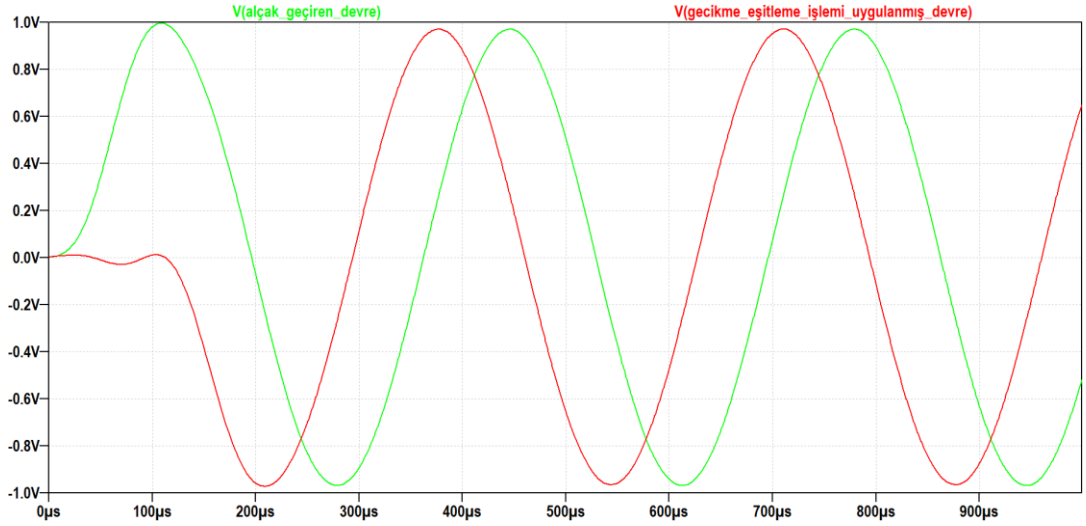
Şekil 4.23: Butterworth 5. derece alçak geçiren filtre zaman alanı analizi.

Şekil 4.23'te verilen benzetim sonucunda Butterworth yaklaşıklığı kullanılarak tasarlanan 5. derece alçak geçiren filtrenin gecikme eşitleme işlemi sonrasında zaman alanı analizi görülmektedir. Yeşil renkte görülen sinyal herhangi bir bozulma ve genlik değişimine uğramadan sadece faz kaymasına maruz kalmaktadır. Kırmızı renkte devrenin çıkışında elde edilen sinyal görülmektedir.



Şekil 4.24: Chebyshev 4. derece alçak geçiren filtre zaman alanı analizi.

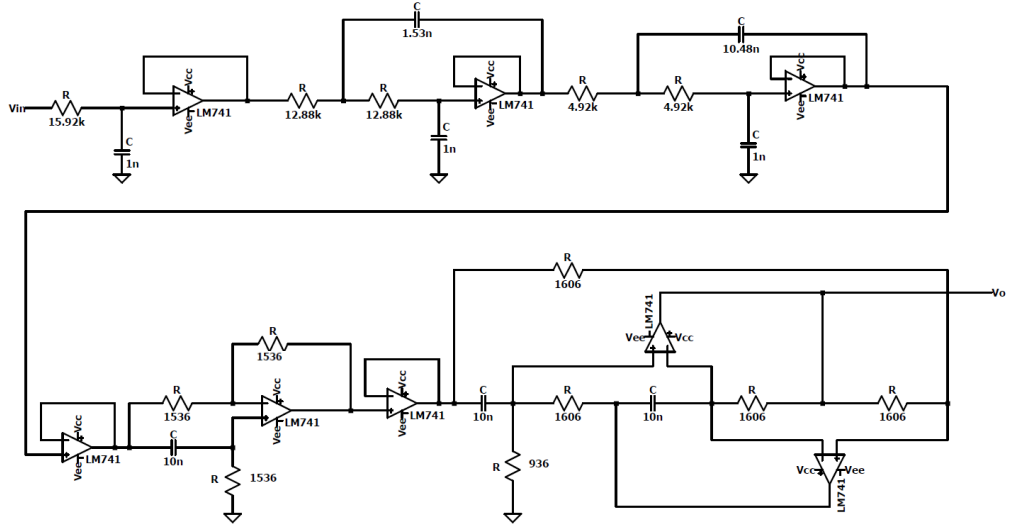
Şekil 4.24'te verilen benzetim sonucunda Chebyshev yaklaşıklığı kullanılarak tasarlanan 4. derece alçak geçiren filtrenin gecikme eşitleme işlemi sonrasında zaman alanı analizi görülmektedir. Yeşil renkte görülen sinyal herhangi bir bozulma ve genlik değişimine uğramadan sadece faz kaymasına maruz kalmaktadır. Kırmızı renkte devrenin çıkışında elde edilen sinyal görülmektedir.



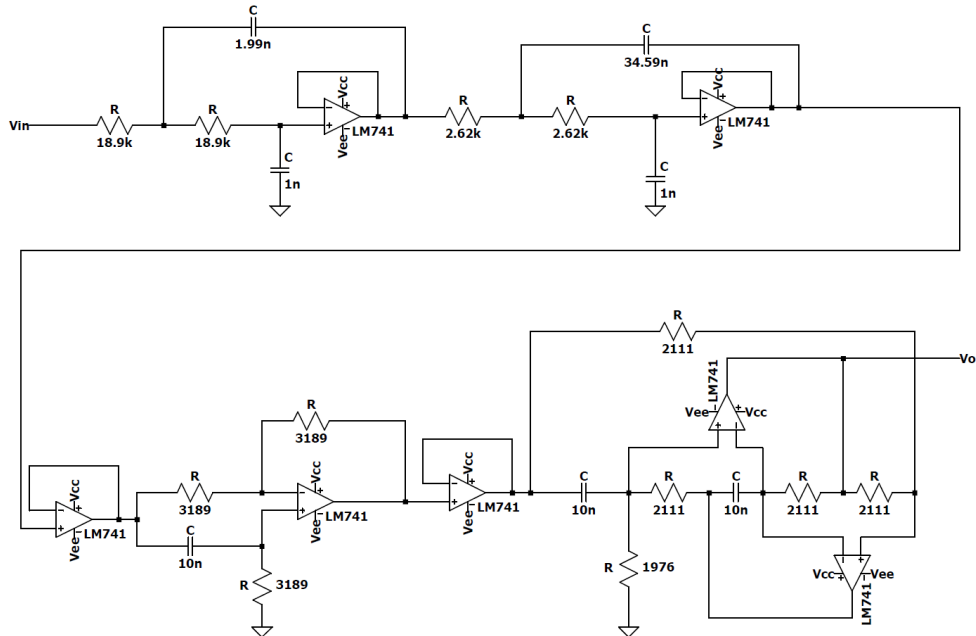
Şekil 4.25: Cauer 3. derece alçak geçiren filtre zaman alanı analizi.

Şekil 4.25'te verilen benzetim sonucunda görüldüğü üzere yeşil renkte görülen sinyal herhangi bir bozulma ve genlik değişimine uğramadan sadece faz kaymasına maruz kalmaktadır. Kırmızı renkte devrenin çıkışında elde edilen sinyal görülmektedir.

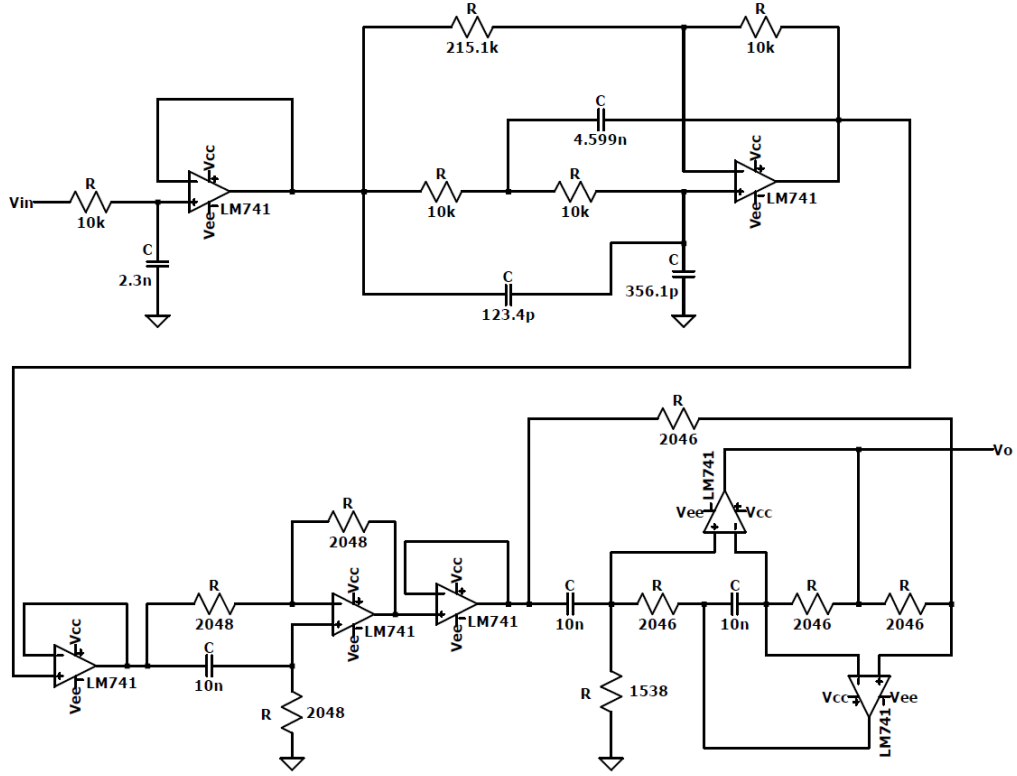
GIC topolojisi kullanılarak tasarlanan tüm-geçiren blokları içeren ve tasarım parametreleri PSO algoritması ile bulunan, frekans analizleri ve zaman alanında yapılan analizlerinin grafikleri verilen devrelerin şemaları Şekil 4.26, Şekil 4.27 ve Şekil 4.28’de verilmektedir.



Şekil 4.26: Butterworth 5. derece alçak geçiren filtre için GIC topolojisiyle tasarlanan gecikme eşitleyici devre yapısı.



Şekil 4.27: Chebyshev 4. derece alçak geçiren filtre için GIC topolojisiyle tasarlanan gecikme eşitleyici devre yapısı.



Şekil 4.28: Cauer 3. derece alçak geçiren filtre için GIC topolojisiyle tasarlanan gecikme eşitleyici devre yapısı.

Şekil 4.26, Şekil 4.27 ve Şekil 4.28’de verilen devre yapılarında üst kısımdaki bloklar alçak geçiren filtre devreleri, alt kısımdaki bloklar ise tüm-geçiren devre yapılarıyla elde edilen gecikme eşitleyici bloklardır. Tüm-geçiren devrelerin tasarım parametreleri optimizasyon ile hesaplanmakta, filtre bloklarının arasında ise izolasyon sağlanması amacıyla eklenen gerilim izleyici devre yapıları görülmektedir.

Tablo 4.2, Tablo 4.3 ve Tablo 4.4’te her bir yaklaşıklık için 7 farklı tüm-geçiren filtre topolojisi kullanılarak tasarımı yapılan gecikme eşitleyicilerin analizlerinin detayları verilmektedir.

Tablolarda iletim bandı üzerindeki en yüksek ve en düşük gecikme değerleri, ortalama gecikme ve gecikme dalgalanması değerleri verilmektedir. Ayrıca son sütunda, başlangıç durumundaki gecikme dalgalanmasından gecikme eşitleme işleminden sonraki gecikme dalgalanmasına olan düşüşün yüzdesel değeri verilmektedir.

Tablo 4.2: Butterworth alçak geçiren devre için elde edilen frekans analizi verileri.

BUTTERWORTH					
Devre Topolojisi	En Yüksek Gecikme	En Düşük Gecikme	Gecikme Dalgalanması	Ortalama Gecikme	Eşitleme Sonrası Değişim
Gecikme Eşitleme İşlemi Öncesi	85 us	52 us	33 us	64 us	-
Ackerberg-Mossberg	147.025 us	135.576 us	11.449 us	141.473 us	65.43%
Tow Thomas	147.075 us	135.715 us	11.360 us	141.560 us	65.70%
DABP	146.173 us	134.997 us	11.176 us	140.761 us	66.26%
MFBP	146.360 us	135.318 us	11.042 us	140.648 us	66.66%
Sallen-Key	123.783 us	110.428 us	13.355 us	114.177 us	59.68%
Biquad Tabanlı Sallen-Key	145.232 us	134.239 us	10.993 us	139.741 us	66.81%
GIC	145.432 us	134.324 us	11.108 us	140.218 us	66.46%

Tablo 4.3: Chebyshev alçak geçiren devre için elde edilen frekans analizi verileri.

CHEBYSHEV					
Devre Topolojisi	En Yüksek Gecikme	En Düşük Gecikme	Gecikme Dalgalanması	Ortalama Gecikme	Eşitleme Sonrası Değişim
Gecikme Eşitleme İşlemi Öncesi	114.535 us	43.353 us	71.182 us	60.59 us	-
Ackerberg-Mossberg	178.822 us	153.517 us	25.305 us	163.644 us	64.45%
Biquad Tabanlı Sallen-Key	179.079 us	152.944 us	26.135 us	162.629 us	63.28%
Tow Thomas	179.172 us	153.829 us	25.342 us	163.882 us	64.40%
DABP	178.879 us	153.423 us	25.456 us	163.425 us	64.24%
GIC	178.396 us	153.244 us	25.152 us	162.720 us	64.67%
MFBP	179.646 us	153.40 us	26.247 us	163.614 us	63.13%
Sallen-Key	153.495 us	119.778 us	33.718 us	129.276 us	52.63%

Tablo 4.4: Cauer alçak geçiren devre için elde edilen frekans analizi verileri.

CAUER					
Devre Topolojisi	En Yüksek Gecikme	En Düşük Gecikme	Gecikme Dalgalanması	Ortalama Gecikme	Eşitleme Sonrası Değişim
Gecikme Eşitleme İşlemi Öncesi	69.879 us	28.694 us	41.185 us	37.492 us	-
Ackerberg-Mossberg	133.624 us	127.573 us	6.05 us	130.343 us	85.31%
Biquad Tabanlı Sallen-Key	131.689 us	126.607 us	5.082 us	129.167 us	87.66%
Tow Thomas	133.673 us	127.883 us	5.79 us	130.535 us	85.94%
DABP	132.882 us	127.47 us	5.411 us	129.953 us	86.86%
GIC	131.99 us	127.282 us	4.708 us	129.306 us	88.57%
MFBP	136.847 us	125.317 us	11.53 us	131.659 us	72.00%
Sallen-Key	107.689 us	93.844 us	13.845 us	97.833 us	66.38%

5. SONUÇLAR

Bu çalışmada analog filtreler için gecikme eşitleyici tasarımı yapılırken PSO algoritması kullanılmıştır. Python yazılım dili kullanılarak optimizasyon aracılığıyla gecikme eşitleyicilerin parametreleri hesaplanmış ve LTspice programı kullanılarak benzetim sonuçları elde edilmiştir.

Butterworth, Chebyshev ve Cauer yaklaşıklıkları için 7 farklı tüm-geçiren devre topolojisi üzerinden analizler yapılmıştır. Her bir devre için frekans ve zaman alanında yapılan analizlerin grafiklerini ve sayısal değerleri içeren tablolar verilmiştir.

Butterworth yaklaşıklığı için sayısal verileri içeren **Tablo 4.2** incelendiğinde; ufak farklılıklar olmakla birlikte Sallen-Key topolojisi hariç diğer 6 devre topolojisi kullanılarak yapılan gecikme eşitleme işleminde yaklaşık 65% oranında gecikme dalgalanması değerinin azaldığı görülmektedir. Sallen-Key topolojisinde bu oran yaklaşık 60% değerindedir.

Chebyshev yaklaşıklığı için sayısal verileri içeren **Tablo 4.3** incelendiğinde Sallen-Key topolojisinde yaklaşık 53%, diğer 6 devre topolojisinde yaklaşık 64% oranında gecikme dalgalanması değeri azaltılmıştır.

Cauer yaklaşıklığı için sayısal verileri içeren **Tablo 4.4** incelendiğinde Sallen-Key topolojisinde yaklaşık 66%, MFBP topolojisinde 72% ve diğer 5 devre topolojisinde yaklaşık 86% oranında gecikme dalgalanması değeri azaltılmıştır.

Sonuçlar değerlendirildiğinde algoritmanın düzgün çalıştığı ve başarılı bir şekilde gecikme eşitleme işleminin gerçekleştirildiği görülmektedir. Daha gerçekçi bir karşılaştırma yapabilmek aynı filtre tasarım istekleri üç farklı yaklaşıklıkla tasarlanmış, doğal olarak farklı dereceden filtreler elde edilmiştir. Butterworth 5. derece, Chebyshev 4. derece ve Cauer 3. derece ile aynı filtre isteklerini sağlamaktadır. Daha düşük derece olduğu için; Cauer yaklaşıklığı ile tasarlanan alçak geçiren filtre, gecikme eşitleme işlemi sonrasında hem en düşük gecikme dalgalanması hem de en düşük ortalama gecikme değerlerine sahiptir. Butterworth yaklaşıklığı ile tasarlanan alçak geçiren filtre ise Chebyshev yaklaşıklığı ile tasarlanan filtreden daha yüksek dereceye sahip olmasına rağmen daha başarılı gecikme performansı sergilemektedir. Çünkü Chebyshev filtrenin gecikme değerlerindeki dalgalanma daha fazladır ve bu da gecikme eşitleme işlemini daha karmaşık hale getirmektedir.

Bu çalışma, farklı topolojilerle elde edilen sonuçların tutarlı olmasından da anlaşıldığı üzere devre tipinden bağımsız olarak gecikme eşitleme işlemi için uygun bir optimizasyon yöntemi kullanıldığını göstermektedir. PSO optimizasyonu, tasarımcının isterlerine bağlı olarak farklı devre tiplerinin gecikme eşitleme işlemleri için kolaylıkla uyarlanabilir. Gelecek çalışmalarda birden fazla optimizasyon yöntemi kullanılarak hangi optimizasyon yönteminin hangi devre topolojisinde daha başarılı sonuçlar verdiğinin belirlenmesi planlanmaktadır. Ek olarak sonuçlar üzerinden eğitilecek bir yapay zeka modeli ile tasarıma uygun olan optimizasyon yönteminin seçimi model tarafından yapılarak sürecin tasarımcı üzerindeki iş yükünün azaltılması planlanmaktadır.

KAYNAKLAR

- Asmae, E. B., Loubna, K., Bachir, B., Izeddine, Z. (2020). Meta-heuristic techniques for optimal design of analog and digital filter. *Indonesian Journal of Electrical Engineering and Computer Science*, 19(2), 669-679.
- Benhala, B. (2019). Optimal low-pass butterworth filter design by an enhanced ACO algorithm. *2019 International Aegean Conference on Electrical Machines and Power Electronics (ACEMP) & 2019 International Conference on Optimization of Electrical and Electronic Equipment (OPTIM)*, 417-422.
- Butterworth, S. (1930). On the theory of filter amplifiers. *Wireless Engineer*, 7(6), 536-541.
- Cauer, W. (1932). New theory and design of wave filters. *Physics*, 2(4), 242-268.
- Chebyshev, P. L. (1890). Sur deux théorèmes relatifs aux probabilités. *Acta math*, 14(1), 305-315.
- Choudhary, S., Sugumaran, S., Belazi, A., El-Latif, A. A. A. (2023). Linearly decreasing inertia weight PSO and improved weight factor-based clustering algorithm for wireless sensor networks. *Journal of Ambient Intelligence and Humanized Computing*, 1-19.
- Clerc, M. (2010). *Particle swarm optimization*. John Wiley & Sons.
- Dimopoulos, H. G. (2011). *Analog electronic filters: theory, design and synthesis*. Springer Science & Business Media.
- Doğan, B., and Yüksel, A. (2015). Analog filter group delay optimization using the vortex search algorithm. *2015 23rd Signal Processing and Communications Applications Conference (SIU)*, 288-291.
- He, X., and Hu, Z. (2022). Optimization design of fractional-order Chebyshev lowpass filters based on genetic algorithm. *International Journal of Circuit Theory and Applications*, 50(5), 1420-1441.
- Huelsman, L. P. (1993). *Active and passive analog filter design: an introduction*. Mc-Graw-Hill College.
- Ismail, M., and Bachir, B. (2024). Optimal design of a 2nd-order active low-pass filter rauch structure using genetic algorithm. *2024 4th International Conference on Innovative Research in Applied Science, Engineering and Technology (IRASET)*, 1-5.
- Kennedy, J., and Eberhart, R. (1995). Particle swarm optimization. *Proceedings of ICNN'95-international conference on neural networks*, 4, 1942-1948.

Kund, S., De, B. P., Kar, R., Mandal, D., Appasani, B. (2024). Optimal design of state variable filter using partition-bound particle swarm optimization: optimal design of state variable filter. *ECTI Transactions on Electrical Engineering, Electronics, and Communications*, 22(3).

Kuyu, Y. C., and Vatansever, F. (2018). Analog filter group delay optimization using metaheuristic algorithms: a comparative study. *2018 International Conference on Artificial Intelligence and Data Processing (IDAP)*, 1-5.

Kuyu, Y. Ç. (2016), “Evrimsel Algoritmalarla Filtre Tasarımları”, Yüksek Lisans Tezi, Bursa Uludağ Üniversitesi.

Li, M., Chen, H., Wang, X., Zhong, N., Lu, S. (2019). An improved particle swarm optimization algorithm with adaptive inertia weights. *International Journal of Information Technology & Decision Making*, 18(03), 833-866.

Özsağlam, M. Y., and Çunkaş, M. (2008). Optimizasyon problemlerinin çözümü için parçaçık sürü optimizasyonu algoritması. *Politeknik Dergisi*, 11(4), 299-305.

Rehman, S., Khan, S., and Alhems, L. (2020). The effect of acceleration coefficients in particle swarm optimization algorithm with application to wind farm layout design. *FME Transactions*, 48(4), 922-930.

Romsai, W., Nawikavatan, A., Hlangnamthip, S., Puangdownreong, D. (2022). Design of optimal active low-pass filter by hybrid intensified current search. *2022 Joint International Conference on Digital Arts, Media and Technology with ECTI Northern Section Conference on Electrical, Electronics, Computer and Telecommunications Engineering (ECTI DAMT & NCON)*, 376-379.

Schaumann, R., Mac Elwyn Van Valkenburg, X., Xiao, H. (2001). *Design of analog filters*. Oxford University Press.

Sedra, A. S., and Brackett, P. O. (1978). *Filter theory and design: active and passive*. Matrix Publishers.

Sedra, A. S., and Smith, K. C. (1987). *Microelectronic circuits*. Holt, Rinehart & Winston.

Shi, Y., and Eberhart, R. (1998). A modified particle swarm optimizer. *1998 IEEE international conference on evolutionary computation proceedings. IEEE world congress on computational intelligence (Cat. No. 98TH8360)*, 69-73.

Su, K. L. (2012). *Analog filters*. Springer Science & Business Media.

Şengül, M. (2015). An alternative approach to design lumped element delay equalizers. *IU-Journal of Electrical & Electronics Engineering*, 15(1), 1883-1887.

- Talita, A. S., Nataza, O. S., Rustam, Z. (2021). Naïve bayes classifier and particle swarm optimization feature selection method for classifying intrusion detection system dataset. *Journal of Physics: Conference Series*, 1752(1), 1.
- Tamer, S., and Karakuzu, C. (2006). Parçacık sürüsü optimizasyon algoritması ve benzetim örnekleri. *ELECO 2006 Elektrik-Elektronik-Bilgisayar Sempozyumu*, 302-306.
- Vrbata, J., Laipert, M., Vlcek, M. (2002). Synthesis of the group delay equalizers. *9th International Conference on Electronics, Circuits and Systems*, 1, 133-136.
- Wen-guan Wang, Ying-biao Ling, Zhang, J., Yuping Wang. (2012). Ant colony optimization algorithm for design of analog filters. *2012 IEEE Congress on Evolutionary Computation*, 1-6.
- Williams, A. B. (2014). *Analog filter and circuit design handbook*. McGraw-Hill Education.
- Winder, S. (2002). *Analog and digital filter design*. Elsevier.
- Zaplatilek, K., Ziska, P., Hajek, K. (2007). Practice utilization of algorithms for analog filter group delay optimization. *Radioengineering-Prague-*, 16(1), 7.
- Zhao, L., Wang, P., Zhang, Z., Wang, J., Zhang, G., Li, Z. (2010). Design and simulation of a group delay equalizer circuit. *2010 First International Conference on Pervasive Computing, Signal Processing and Applications*, 1302-1305.
- Zhou, R., Poechmueller, P., Wang, Y. (2022). An analog circuit design and optimization system with rule-guided genetic algorithm. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 41(12), 5182-5192.
- Ziska, P., and Vrbata, J. (2006). Method for design of analog group delay equalizers. *2006 IEEE International Symposium on Circuits and Systems (ISCAS)*, 445-448.
- Zobel, O. J. (1928). Distortion correction in electrical circuits with constant resistance recurrent networks. *The Bell System Technical Journal*, 7(3), 438-534.
- Zumbahlen, H. (2011). *Linear circuit design handbook*. Newnes.

ÖZGEÇMİŞ

Çağrı ÇELİK, 2015-2020 yılları arasında Gazi Üniversitesi Elektrik-Elektronik Mühendisliği bölümünde lisans eğitimini tamamlamıştır. 2022 yılında Gebze Teknik Üniversitesi Lisansüstü Eğitim Enstitüsü Elektronik Mühendisliği anabilim dalında yüksek lisans eğitimine başlamıştır.

TEZ ÇALIŞMASI KAPSAMINDA YAPILAN YAYINLAR

Çelik, Ç., & Uygur, A. (2025). Delay equalization for analog filters with particle swarm optimization. *Journal of Naval Sciences and Engineering*, 21(1), 3-23. <https://doi.org/10.56850/jnse.1602229>